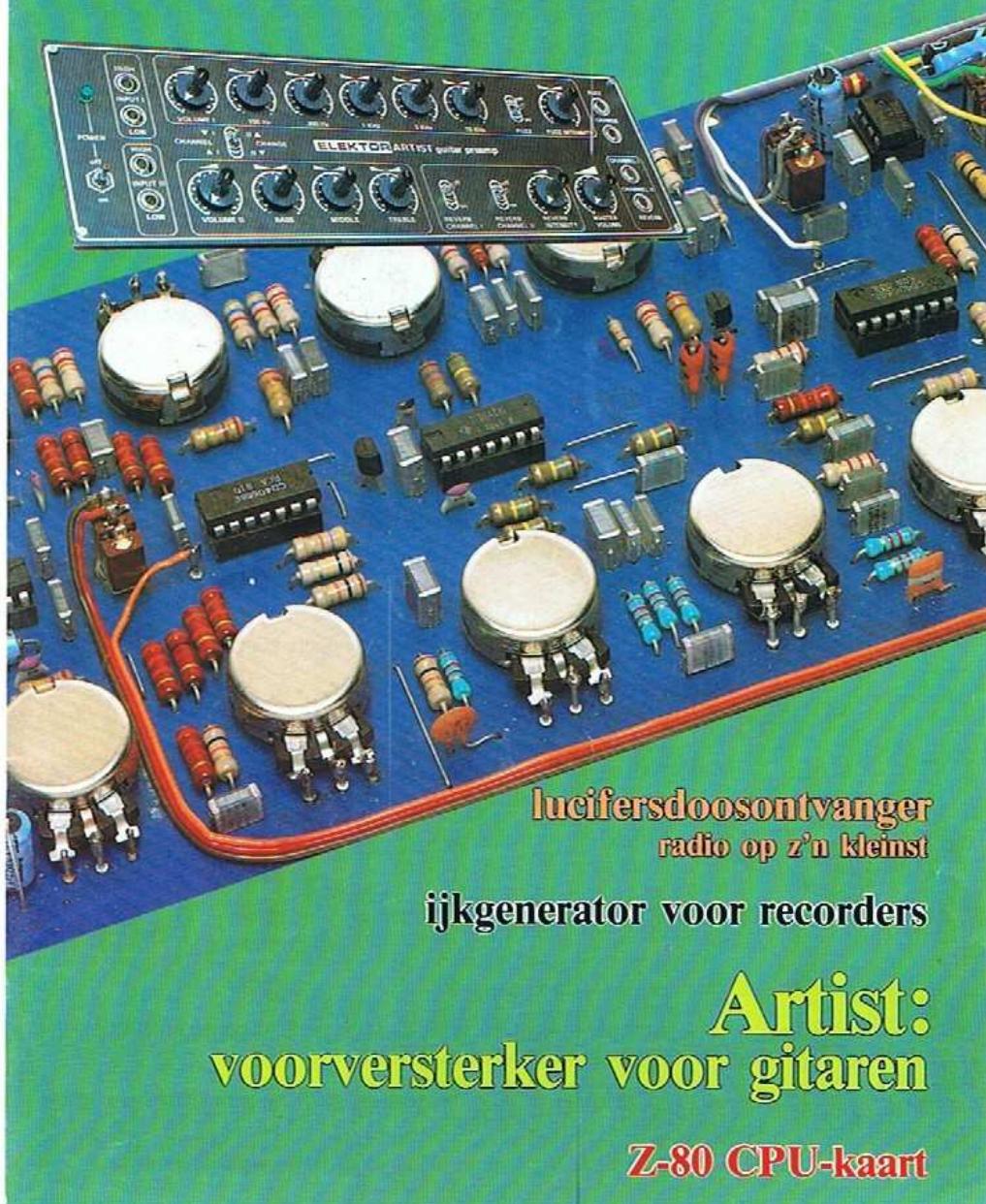


# elektuur

maandblad voor elektronica

nr. 223  
mei 1982  
f4,35 Bfrs. 85



Articles in English, Deutsch, Nederlands Z80 CPU card, RAM/EPROM card for Z80 systems

**U. Götz en R. Mester**

Veel valt er eigenlijk over een CPU-kaart niet te vertellen. Zonder software – en die wordt in dit artikel niet beschreven – bestaat zo'n kaart uit niet veel meer dan de CPU zelf en een aantal chips om het ding fatsoenlijk te laten werken. De hardware is in figuur 1 afgebeeld. Ten behoeve van kleinschalige  $\mu$ P-projecten is de kaart voorzien van enige geheugen-chips. Hierbij is rekening gehouden met de door Elektuur gehanteerde paginestructuur. Dit houdt in dat het geheugen in 4K-blokken wordt opgedeeld. Het eerste blok (0000...0FFF) bevindt zich op de CPU-kaart en is onderverdeeld in 2K-EPROM (0000...07FF) en 2K-RAM (0800...0FFF).

De tijd die nodig is om een programma uit te voeren. De CPU moet de scanning (het aftasten) van het toetsenbord verrichten en in de uitgebreide uitvoering tevens alle preset afvragen. Daarbij komt dan nog het doorgeven van alle informatie naar de "kompakte synthesizer"-modules (VCO's, VCF's, enz.). De tijd die voor al deze taken nodig is bepaalt de reactiesnelheid van de micro-computer. Deze reactiesnelheid is vooral van belang bij het afvragen van het toetsenbord. Hoe sneller dit gebeurt, des te sneller zal een VCO op een toetsaanslag kunnen reageren. Met het bij de kompakte synthesizer behorende software-pakket kan een VCO binnen

# Z80-A CPU-kaart

## een $\mu$ P-troefkaart

**Nog steeds is de Z80(-A) een van de populairste microprocessors. Niettemin heeft deze CPU tot nu toe in het Elektuurpakket ontbroken. Zonder voldoende redenen is het immers zinloos om weer een nieuw computersysteem te introduceren. Nu de Z80-A echter gebruikt wordt om het polyfone keyboard voor de kompakte Elektuur-synthesizer tot leven te wekken, staat de publikatie van deze CPU-kaart niets meer in de weg.**

**Enerzijds vormt de Z80-A CPU-kaart het hart van het polyfoon keyboard, anderzijds wordt het Elektuur-bussysteem met de bijbehorende eurokaarten nu ook toegankelijk voor Z80-entoesiasten.**

Deze kaart wordt toegepast in het polyfone keyboard, waarover in het juni-nummer weer een artikel te vinden zal zijn. Bij toepassing van de CPU-kaart in dit keyboard is slechts 1K-RAM nodig, zodat IC18 en IC19 (zie figuur 1) dan kunnen vervallen.

De opzet van de kaart is zodanig dat ook andere geheugenstructuren mogelijk zijn. Het is namelijk niet perse noodzakelijk om het geheugen met bijbehorende adresdekodering op de CPU-kaart onder te brengen. Vooral grotere hoeveelheden software kunnen beter worden ondergebracht op een aparte (EP)ROM-kaart. Met een kleine aanpassing is de Elektuur RAM/EPROM-kaart (EPS 80120) voor dit doel geschikt. Hierover volgt elders in deze Elektuur meer informatie.

### Buffering

Iedere zichzelf respecterende CPU-kaart behoort voorzien te zijn van een zo volledig mogelijke buffering. De uitgangen van de CPU zelf hebben namelijk te weinig stuurvermogen om een compleet systeem te kunnen bedienen. De IC's 9 t/m 13 nemen deze buffering voor hun rekening. Doordat de buffering met behulp van het BUSAK-signalen in zijn geheel in de tri-state toestand kan worden geplaatst, blijft de DMA- of multiprocesing-mogelijkheid van de Z80 volledig behouden.

### Snelheid

De processor wordt aan de praat gehouden met behulp van een 4 MHz-kristaloscillator. Dit is de maximale clock-frekwентie voor een CPU van het type Z80-A of MK 3880-4. Voor een gewone Z80 of MK 3880 mag de clock-frekwентie zelfs niet meer dan 2,5 MHz bedragen.

In het polyfone keyboard moet overigens een Z80-A/MK 3880-4 worden toegepast. De snelheid van de CPU bepaalt namelijk in de eerste plaats

2 à 3 ms reageren. Dit is dermate snel dat van deze kleine vertraging in de praktijk niets te horen is.

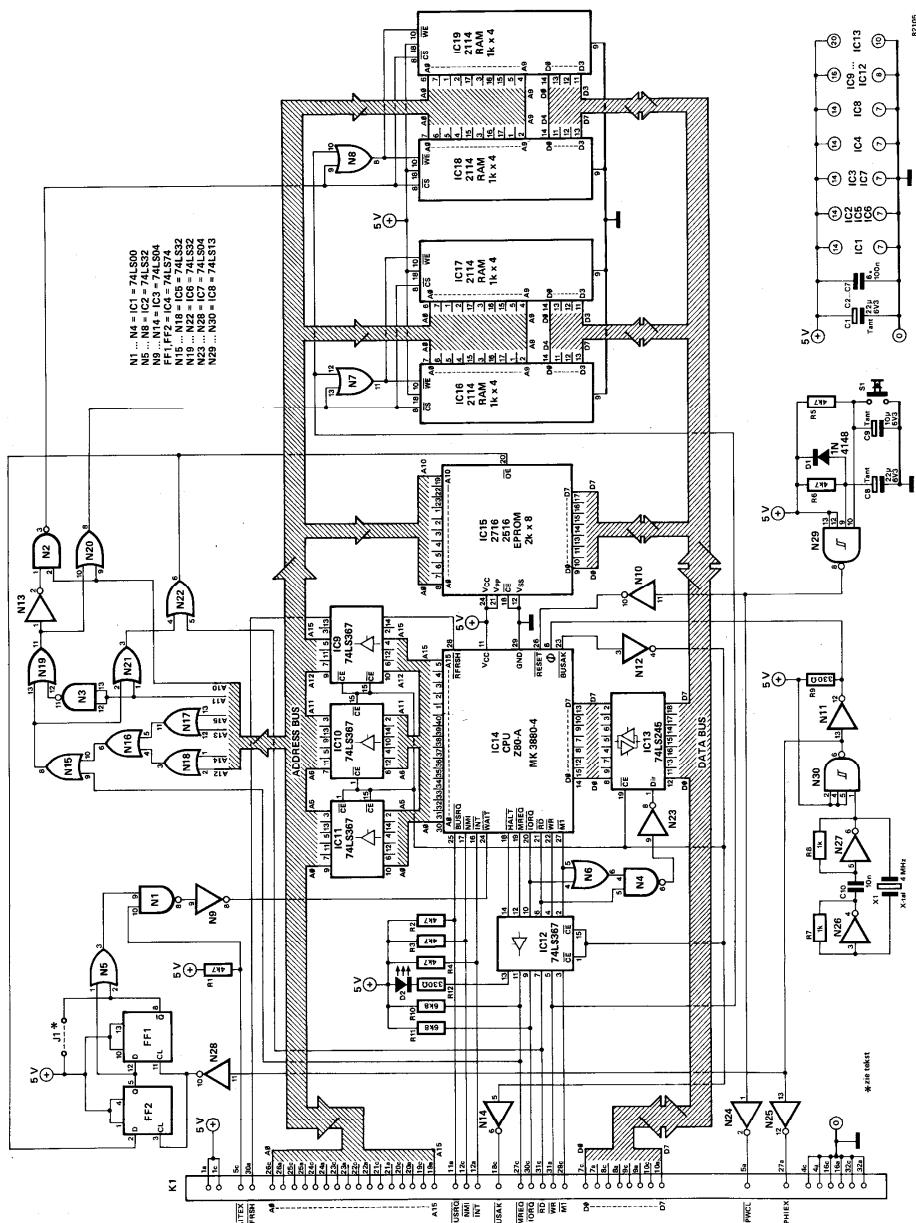
### Wait-Cycles

Het gebruik van een hoge clock-frekwентie stelt uiteraard ook eisen aan de snelheid van de gebruikte geheugens. Een normale EPROM (IC15 = 2716) zal meestal te traag zijn om bijtijds op een adressering door de (snelle) CPU te reageren. Hetzelfde geldt in versterkte mate voor de RAM's (IC16...IC19), omdat voor het beschrijven van de RAM's nog minder tijd beschikbaar is dan bij een leescyclus.

Voor dit probleem zijn er twee oplossingen. Men zou kunnen volstaan met het toepassen van snelle geheugens. Dat wil zeggen: EPROM's met een specifikatie van maximaal 350 ns en RAM's met een specifikatie van maximaal 250 ns voor de "access"-tijd. RAM's met een dergelijke specifikatie zijn tegenwoordig gemakkelijk te verkrijgen. EPROM's met een access-tijd van 350 ns zijn iets moeilijker te vinden. Normaliter is zelfs 350 ns nog aan de krappe kant, maar door gebruik te maken van de OE-ingang in plaats van de CE-ingang kan enige snelheidswinst worden geboekt, zodat een 2716 in 350 ns-uitvoering zonder speciale maatregelen kan worden toegepast.

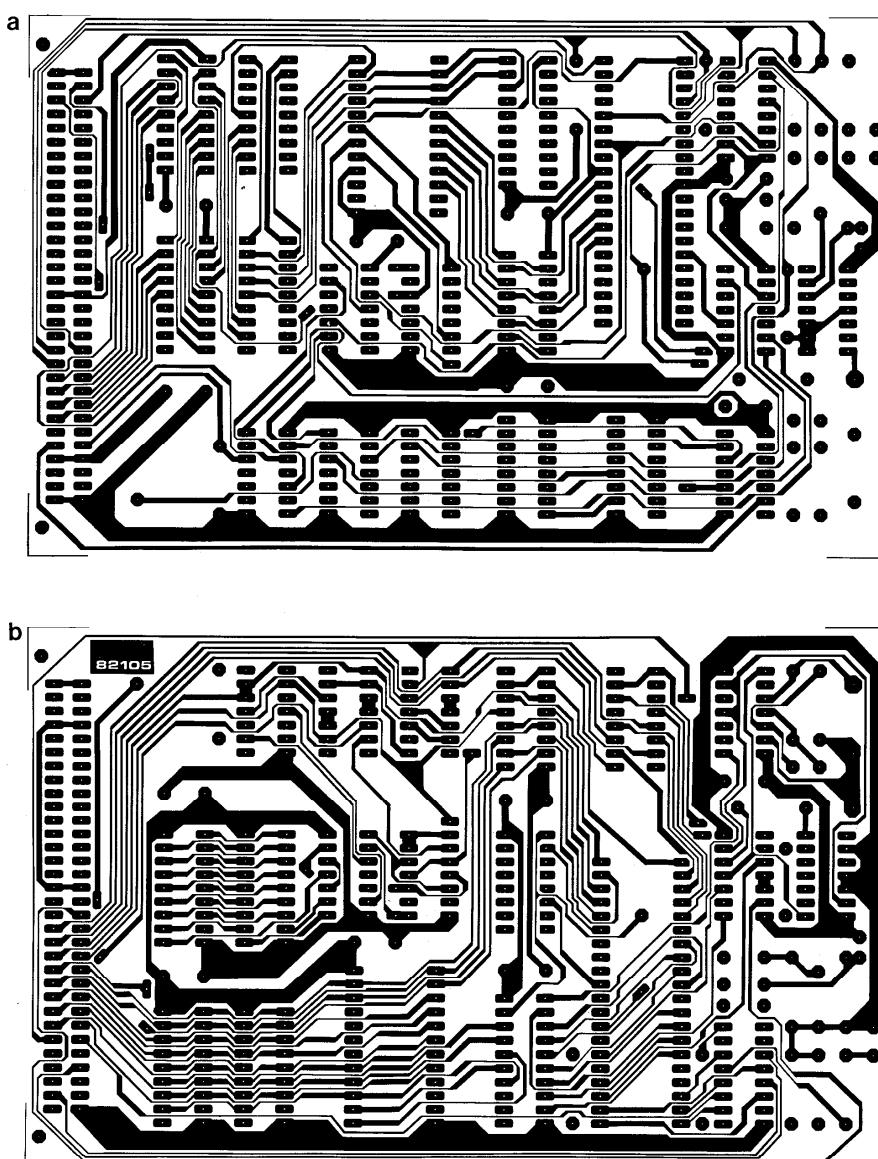
Wil men een langzamere EPROM gebruiken, dan moet de CPU worden vertraagd. Dit is de tweede mogelijkheid. In dit geval worden tijdens het uitlezen van de EPROM zogenoemde "wait-cycles" aan de leescyclus toegevoegd. Zo'n wait-cycle is precies één clock-periode lang, in dit geval dus 250 ns. Wanneer dus slechts één wait-cycle wordt toegevoegd mag de access-tijd van de EPROM al meer dan 500 ns bedragen. Zelfs slome EPROM's hebben dan voldoende tijd om hun informatie te spuien.

Om een wait-cycle mogelijk te maken zijn de flipflops FF1 en FF2 aan de



Figuur 1. Schema van de Z80-A CPU-kaart.

2



Figuur 2a-b. Koper-layouts van de dubbelzijdige CPU-kaart (2a = komponentenzijde, 2b = achterzijde).

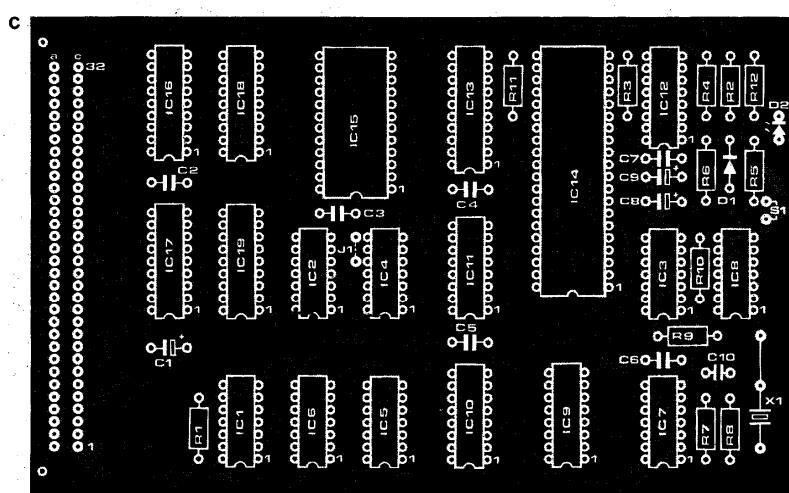
schakeling toegevoegd. Deze flipflops zijn alleen werkzaam als de EPROM (IC15) geadresseerd wordt (D-ingang van FF2 laag). Bij gebruik van een 350 ns-EPROM kunnen deze flipflops vervallen. In plaats van IC4 moet dan de draadbrug J1 worden geplaatst.

De vertragingsschakeling is dan buiten werking. Tijdens het testen van de CPU verdient het echter aanbeveling om eerst met wait-cycle proef te draaien, om de mogelijkheid van een te trage EPROM uit te sluiten. Buiten de CPU-kaart liggend geheugen

of periferie kan eventueel via de WAITEX-ingang óók van wait-cycles gebruik maken.

#### Reset

Om de CPU in zijn startpositie te brengen is een resetschakeling nodig.



Figuur 2c. Komponentenopstelling van de CPU-kaart.

**Onderdelenlijst****Weerstanden:**

R1 ... R6 = 4k7  
R7, R8 = 1 k  
R9 = 330 Ω  
R10, R11 = 6k8  
R12 = 470 Ω

**Kondensatoren:**

C1, C8 = 22 μF/6,3 V tantaal  
C2 ... C7 = 100 n MKT (MKH)  
C9 = 10 μF/6,3 V tantaal  
C10 = 10 n MKT (MKH)

**Halfgeleiders:**

D1 = 1N4148  
D2 = LED  
IC1 = 74LS00  
IC2, IC5, IC6 = 74LS32  
IC3, IC7 = 74LS04  
IC4 = 74LS74  
IC8 = 74LS13  
IC9 ... IC12 = 74LS367  
IC13 = 74LS245  
IC14 = Z80-A, MK 3880-4  
IC15 = 2716/2516  
IC16 ... IC19 = 2114-2 (zie tekst)

**Diversen:**

S1 = druktoets 1 x maak  
64-polige connector volgens DIN 41612, male  
X1 = kristal 4 MHz

Bij het inschakelen van de voedingsspanning zorgen R6, C8 en D1 via N29 en N10 ervoor dat de reset-ingang (RESET) van de CPU enige tijd aktief ("0") wordt. Via het busysteem kan dit signaal (PWCL) ook worden benut om andere systeemkaarten te resetten. Voor noodgevallen is ook nog voorzien in een externe resetmogelijkheid. De schakelaar hiervoor (S1) kan het beste op een moeilijk te bereiken plaats worden gezet om te voorkomen dat deze toets per abuis wordt ingedrukt. Meestal heeft dat namelijk verlies van waardevolle informatie of andere "ram-pen" tot gevolg.

**Print**

Alle onderdelen in figuur 1 zijn met uitzondering van S1 ondergebracht op een dubbelzijdig doorgemetaliseerde print in euroformaat (zie figuur 2). De aansluitingen van de 64-polige connector komen overeen met die van het Elektuur-busysteem, zodat deze kaart met een aantal van de reeds gepubliceerde kaarten kan worden gekombineerd. De montage van deze print dient met de nodige voorzichtigheid te geschieden. Op sommige plaatsen liggen de sporen zo dicht bij elkaar dat tijdens het solderen gemakkelijk een kortsluiting kan ontstaan. Oppassen dus, zelfs al is deze print voorzien van een soldeermasker dat dit soort problemen moet voorkomen!

**Informatie**

Over de Z80-CPU is al ongeveer een bibliotheek volgeschreven. Software is in overvloed te krijgen, maar de gebruiker moet wel weten waar hij mee bezig is. Meestal moet de software worden aangepast aan het systeem waarop deze moet "draaien". Enige deskundigheid is daarvoor wel vereist. De in dit artikel beschreven CPU-kaart is in de eerste plaats bedoeld om het polyfone keyboard te leveren te wakken. De receptuur daarvoor wordt in één van de artikelen over dit ontwerp gegeven. Ook de software komt, zij het zeer summarier, in dat artikel aan bod.

Polyfone synthesizer is slechts één van de vele toepassingsmogelijkheden van de kaart. Het gebruik van de kaart in een ander systeem heeft als voordeel dat men de hardware kan aanpassen aan bestaande software-pakketten. Hoe zo'n aanpassing in zijn werk gaat wordt aan de gebruiker zelf overgelaten, maar meestal is dat eenvoudiger dan het aanpassen van software.

Een eerste aanzet tot de kreatie van een "eigen" computersysteem wordt geboden in het artikel over de aanpassing van de 8K-RAM + 8K-EPROM-print (EPS-80120), zoals dat elders in deze uitgave is beschreven. ■

Geheugenkaarten lijken allemaal op elkaar als twee druppels water, tenminste op het eerste gezicht. Zo te zien bestaan ze allemaal uit een geheugenvmatrix, een stelletje bus-buffers en een sturing.

Nou, in die sturing zit juist het venijn: die moet aangepast worden aan het gebruikte mikroprocessorsysteem. De RAM/EPROM-kaart uit Elektuur september 1980 is al zo opgezet, dat ze zowel voor de SC/MP als voor de 6502 bruikbaar is – voor de Z80 nog niet. Een aanpassing van deze geheugenkaart voor Z80-systemen kan echter heel eenvoudig worden gerealiseerd. Daarvoor is geen extra elektronica nodig. Wel moet de print-lay-out wat veranderd worden: in totaal moeten 9 printsponen onderbroken worden en 7 nieuwe verbindingen worden gelegd. Moeilijk is dat echter niet.

**RFSH**, voor het verversen (refresh-en) van dynamische RAM's.

**IORQ** kunnen we hier buiten beschouwing laten. Voor de RAM/EPROM-kaart zijn alleen de normale geheugen-adresering en de refresh van belang.

Bij het gewone aanspreken van het geheugen geeft de processor eerst de adressen. Kort daarna volgen de **MREQ** en de **RD**-strobe in één leescyclus. Bij het lezen komen die twee signalen tegelijkertijd. Aan het einde van de twee signalen heeft de CPU de uitgegeven data opgenomen (gelezen).

Bij de schrijf-cyclus is het verloop iets anders. Hierbij zet de CPU tegelijkertijd met het **MREQ**-signaal ook de data op de data-bus. Het **WR**-signaal wordt echter niet tegelijkertijd, maar pas iets later actief. Daardoor is het mogelijk de aktieve flank van deze strobe direct te gebruiken om data in een geheugen

# RAM/EPROM-kaart voor Z80-systemen

De RAM/EPROM-kaart uit het septembernummer 1980 van Elektuur is zo universeel van opzet, dat deze in principe zonder meer in verschillende mikroprocessorsystemen kan worden toegepast. In enkele gevallen kan het echter nodig zijn een kleine modifikatie aan te brengen in het stuurgedeelte. Aangezien er in deze Elektuur een CPU-kaart met een Z80-A wordt behandeld, ligt het eigenlijk wel voor de hand om ook een aanpassing van de RAM/EPROM-kaart voor gebruik met de Z80-A (en natuurlijk andere Z80-systemen) in dit nummer te beschrijven.

## A. Seul

In figuur 1 is aangegeven wat er veranderd moet worden aan de koperzijde van de print. Aan de komponentenzijde hoeft slechts één onderbreking te worden gemaakt, zoals figuur 2 laat zien.

## De werking

Bij het oorspronkelijke ontwerp van de RAM/EPROM-kaart werd er van uitgegaan dat tijdens de read- of strobe van de CPU zowel geldige (valid) adressen als ook de richting van de data-transfer aanwezig zijn. Dit klopt bij de SC/MP en de 6502, maar niet voor de Z80. Bij de Z80 zijn er drie situaties, waarbij een geldig adres kan worden uitgegeven: de normale toegang tot het geheugen, toegang via een van de 256 I/O-adressen en toegang tot het geheugen tijdens een refresh-cyclus. Telt men daarbij nog de mogelijkheden van een ongeldig adres, dan zijn er slechts twee CPU-lijnen nodig om alle mogelijke adrestoestanden te beschrijven. In werkelijkheid gebruikt de Z80-processor daarvoor drie lijnen:

**MREQ**, waarmee een geheugenplaats wordt aangegeven,  
**IORQ**, waarmee periferie wordt geadresseerd en

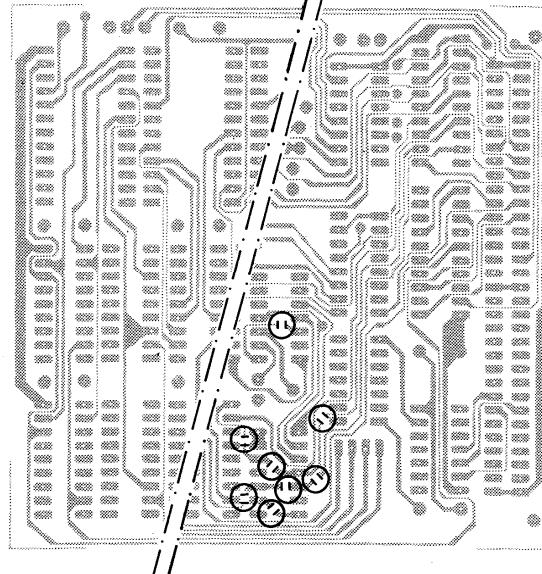
te schrijven (als de bus-buffers tenminste zo zijn opgezet dat de data ook werkelijk naar het geheugen wordt doorgeschakeld voordat de **WR**-strobe verschijnt). Het **WR**-signaal wordt gelijk met het **MREQ**-signaal uitgeschakeld.

Tijdens een refresh-cyclus moet bij de RAM/EPROM-kaart het aanspreken van het geheugen worden vermeden. Deze cyclus verloopt als volgt: Erst wordt het refresh-signaal aktief. Daarna volgt pas het **MREQ**-signaal. **RD** en **WR** worden niet gebruikt omdat de CPU tijdens dit gebeuren de data negeert.

Samengevat moet de sturing van het geheugen voor een Z80 aan de volgende eisen voldoen:

1. Het geheugen wordt aangesproken als **MREQ** aktief en **RFSH** niet aktief is.
2. De data moet bij de RAM aanwezig zijn voordat de **WR**-strobe aktief wordt.
3. De data moet op de bus verschijnen als **RD** aktief is en het geheugen geadresseerd is. Anders niet!

Figuur 3 toont het schema van de volgens figuur 1 en 2 gemodificeerde geheugenkaart. Het zojuist beschreven punt 1 wordt verkregen door een combinatie van **MREQ** en **RFSH** door middel van de poorten N6 en N7. Pen 8 van N7 wordt alleen logisch nul als de CPU een geheugenplaats adreseert. De geheugenkaart hoeft natuurlijk niet te reageren op elk aangeboden adres, maar alleen op die adressen die binnen het bereik van het geheugen op de kaart liggen. Daartoe is pen 8 van N7 verbonden met pen 18 en 19 van IC5. De aangesloten uitgangen van IC5 schakelen

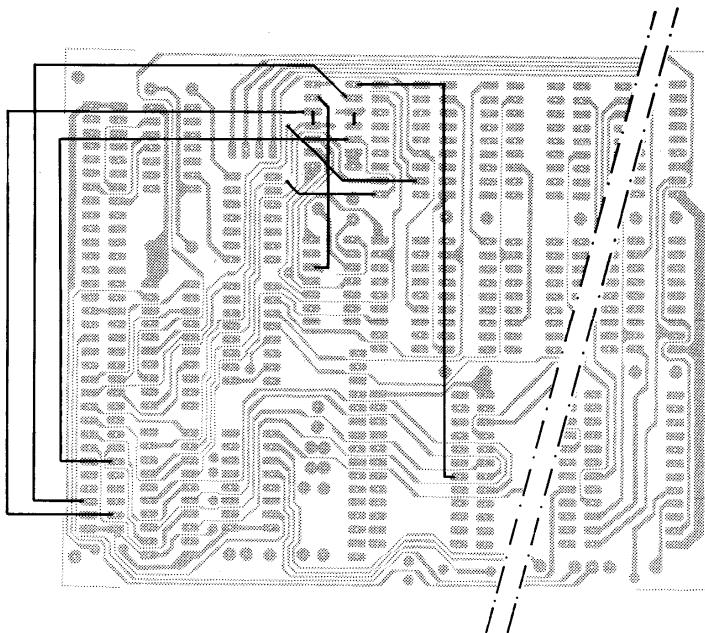
**1a**

Figuur 1a. De aan te brengen onderbrekingen bij de printsporen aan de koperzijde.

via de poorten N1 en N2 de chip-select-decoders IC6 en IC7. Bovendien levert N5 een zogenoemd card-select-singaal ("active high").

Punt 2 levert geen problemen op. De buffers geven gewoonlijk de data direct door naar de RAM's. De data is dus al aanwezig als het WR-signaal verschijnt.

Voor punt 3 gaan we even terug naar de originele uitvoering van de RAM/EPROM-kaart. Bij deze versie van de geheugenkaart komt de data op de bus als het bereik is geselecteerd en het WR-signaal niet actief is. Bij een Z80-systeem moet dat anders. Tijdens een schrijf-cyclus is het card-select-singaal aanwezig vóór de WR-strobe. Een niet-gemodificeerde geheugenkaart "ziet" een select-signaal en een inactieve WR, en neemt daarom een leestoestand aan. Totdat de schrijfpuls WR komt schakelt de kaart de RAM-data op de bus. Dat betekent dat de bus-data niet bij de RAM's aanwezig is als de WR-strobe komt. Verder wordt de data-bus al met gegevens voorzien door de buffers van de CPU, omdat de CPU-sturing de lees-cyclus heeft herkend. De bus mag echter nooit van twee kanten met data worden voorzien, want dan gebeuren er gekke dingen. Afhankelijk van de toegepaste buffers ontstaan er in dat geval grote stroompieken op de +5 V- en

**1b**

Figuur 1b. De nieuwe doorverbindingen aan de koperzijde.

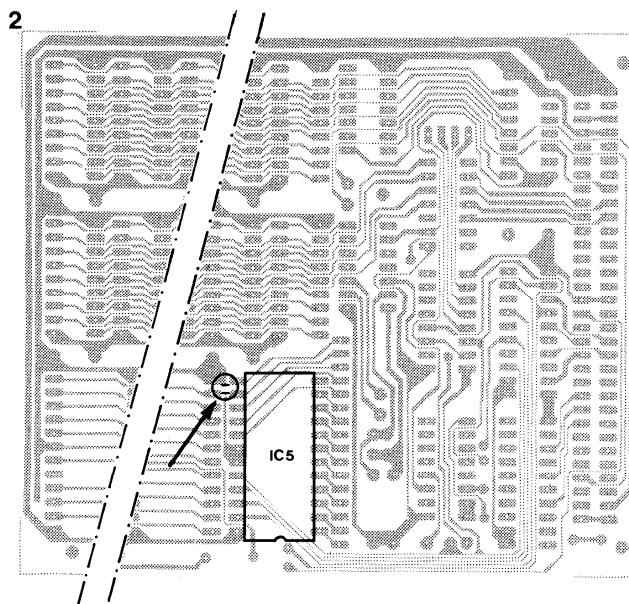
GND-lijnen, die een totale instorting van het systeem kunnen veroorzaken.

Om die situatie te vermijden wordt voor Z80-systemen het door N8 geïnverteerde RD-signal gebruikt voor het sturen van de richting van de data-busbuffers (samen met het card-select-signal, gekombineerd via N3). Poort N4 dient voor het bufferen van de WR-lijn, omdat hiermee toch 16 IC's verzorgd moeten worden.

De voor de modifikatie benodigde inverters N6 en N8 en de NAND N7 zijn al op de print aanwezig in IC29 (74LS00). In de oorspronkelijke schakeling lagen de ongebruikte ingangen aan de plus of de nul, om meeschakelen met wel gebruikte poorten te vermijden. Die aansluitingen worden bij deze modifikatie wel gebruikt, door middel van de veranderingen uit figuur 1 en 2.

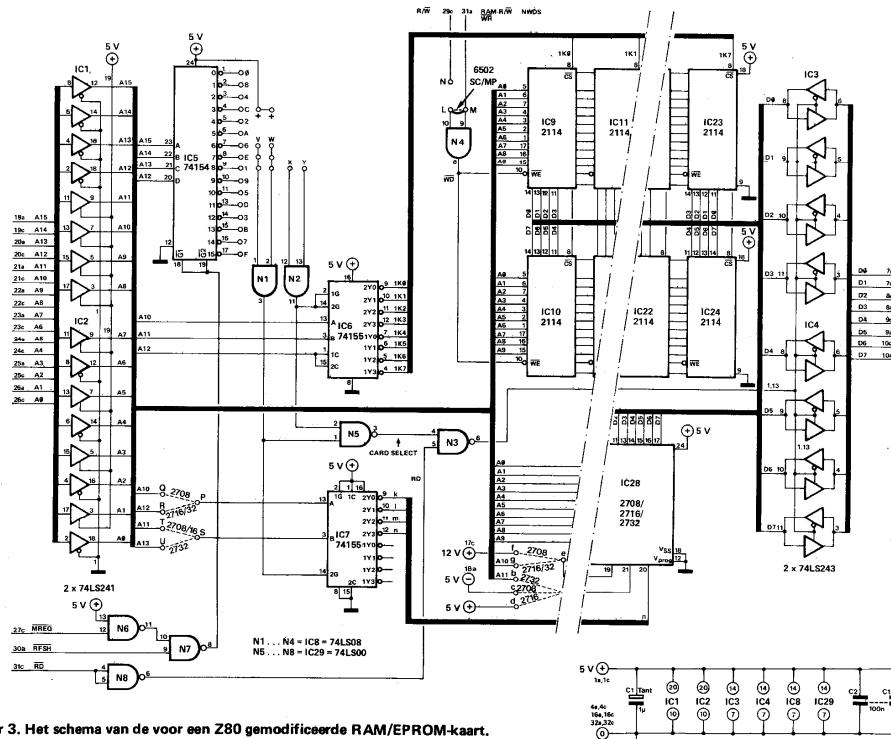
Het onderbreken van de printsponnen gaat heel goed door een stukje van zo'n spoor op de juiste plaats te verwijderen met behulp van een scherp mesje. De verbindingen die dan nog aangebracht moeten worden zullen geen problemen geven. Let wel op dat er niet te veel soldertin wordt gebruikt, anders kan dat wel eens een doorverbinding tussen twee naast elkaar liggende soldeer-eilandjes tot gevolg hebben.

Na deze veranderingen kan de kaart worden gebruikt bij Z80-systemen. ■



Figuur 2. Aan de komponentenzijde hoeft slechts één onderbreking te worden gemaakt.

### 3



Figuur 3. Het schema van de voor een Z80 gemodificeerde RAM/EPROM-kaart.

**U. Götz und R. Mester**

# CPU-Karte für den polyphonen Synthesizer

## Trumpfkarte für Z80-Fans

**Der Z80(-A) ist wohl immer noch einer der populärsten Mikroprozessoren. Nichtsdestoweniger fehlte er bisher in der Elektor-Mikroprozessor-Kollektion. Kein Wunder! Denn ein neues Prozessor-System "nur so", ohne Grund einzuführen, halten wir doch für ziemlich sinnlos. In diesem Fall hat sich der Z80 allerdings als sehr gut geeignet für den Einsatz im polyphonen Synthesizer erwiesen. Die Z80-CPU-Karte bildet die Kommandozentrale für den polyphonen Synthesizer. Sie läßt sich aber auch im Elektor-(vormals SC/MP-)Bussystem als Z-80-Prozessorkarte verwenden.**

Viel gibt es eigentlich über eine CPU-Karte nicht zu sagen. Ohne Software – und die wird in diesem Artikel nicht beschrieben – steht eine solche Karte doch ziemlich "nackt" da: die CPU und einige ICs, um den Prozessor überhaupt zum Arbeiten zu bewegen. Das ist auch schon alles! Die Hardware in Bild 1 sieht also, abgesehen von den zahllosen Verbindungsleitungen, nicht gerade imposant aus.

Damit man bei kleinen Projekten alleine mit der CPU-Karte auskommen kann, enthält die Karte einige Speicher-ICs. Dabei wurde gleich die von Elektor verwendete Seiteneinteilung berücksichtigt. Der Speicher ist in 4-K-Blöcke aufgeteilt. Der erste Block (0000...0FFF)

### Geschwindigkeit

Der Prozessor wird von einem 4-MHz-Quarzoszillator "angetrieben". 4 MHz ist die maximale Taktfrequenz für eine CPU vom Z80-A- oder MK 3880-4-Typ. Ein "normaler" Z80 oder MK 3880 kann hingegen nicht mehr als 2,5 MHz "vertragen". Im polyphonen Synthesizer muß ein Z80-A/MK 3880-4 eingesetzt werden. Die Geschwindigkeit der CPU legt nämlich in erster Linie fest, wie schnell ein Programm ausgeführt wird. Im Synthesizer muß die CPU die Tastenabfrage ("scanning") durchführen und, in der erweiterten Version, die Presets abfragen. Dazu kommt noch die Ausgabe aller Informationen an die unter-

befindet sich auf der CPU-Karte und ist in 2-K-E PROM (0000...07FF) und 2-K-RAM (0800...0FFF) unterteilt. Die CPU-Karte wird zur Steuerung des polyphonen Keyboards eingesetzt. Das erwähnten wir schon, und dazu findet man im Juni-Heft einen entsprechenden Beitrag. Dabei werden allerdings nur 1 K RAM benötigt, so daß man IC18 und IC19 (siehe Bild 1) in diesem Fall nicht einzusetzen braucht.

Die Karte ist allerdings so ausgelegt, daß auch andere Speicher-Strukturen möglich sind. Es ist nämlich nicht unbedingt notwendig, den Speicher samt zugehöriger Adressen-Dekodierung auf der CPU-Karte unterzubringen. Vor allem größere "Mengen" an Software kann man besser auf einer separaten (EP)ROM-Karte platzieren. Dafür ist beispielsweise die RAM/E PROM-Karte aus dem September-Heft ganz gut geeignet. Eine entsprechende Anleitung zur Modifikation dieser Karte findet man an anderer Stelle in diesem Heft.

### Puffer

Jede "anständige" CPU-Karte ist selbstverständlich mit einer vollständigen Pufferung ausgestattet. Die Ausgänge des Prozessors sind nämlich nicht in der Lage, ein komplettes System ohne weiteres zu steuern. Die ICs 9 bis 13 übernehmen die Puffer-Aufgabe. Da die Pufferung mit Hilfe des BUSAK-Signals vollständig im Tri-State-Zustand durchgeführt werden kann, bleibt die DMA- oder Multiprozessing-Möglichkeit des Z80 erhalten.

schiedlichen Module (VCOs, VCFs usw.). Die Zeit, die für die Ausführung der Aufgaben benötigt wird, ist bestimmt durch die Reaktionsgeschwindigkeit des Mikrocomputers. Diese Reaktionsgeschwindigkeit ist vor allem bei der Abfrage des Tastenfelds von Wichtigkeit. Je schneller dies geschieht, um so schneller wird ein VCO auf einen Tastenanschlag reagieren. Mit der für den polyphonen Synthesizer entwickelten Software kann ein VCO innerhalb von 2 bis 3 ms ansprechen. Das ist immer noch so schnell, daß diese kleine Verzögerung in der Praxis nicht zu hören sein wird.

### Warteschleifen

Die Verwendung einer hohen Taktfrequenz stellt selbstverständlich auch gewisse Anforderungen an die Speicher. Ein normales EPROM (IC15 = 2716) wird in den meisten Fällen zu träge sein, um rechtzeitig auf eine Adressierung der (schnellen!) CPU zu reagieren. Dasselbe gilt in verstärktem Maße für die RAM-ICs (IC16...IC19), da für das Schreiben in die RAMs noch weniger Zeit zur Verfügung steht als während eines Lesezyklus.

Für dieses Problem bieten sich zwei unterschiedliche Lösungen an. Zum einen kann man schnelle Speicher einsetzen. Das bedeutet: EPROM(s) mit maximal 350 ns und RAMs mit maximal 250 ns Zugriffszeit ("access time"). Solch schnelle RAMs sind zur Zeit gut erhältlich. EPROMs findet man zwar etwas schwerer. 350 ns sind aber normalerweise noch zu langsam, so daß man sich dadurch hilft, daß der OE-Eingang an-

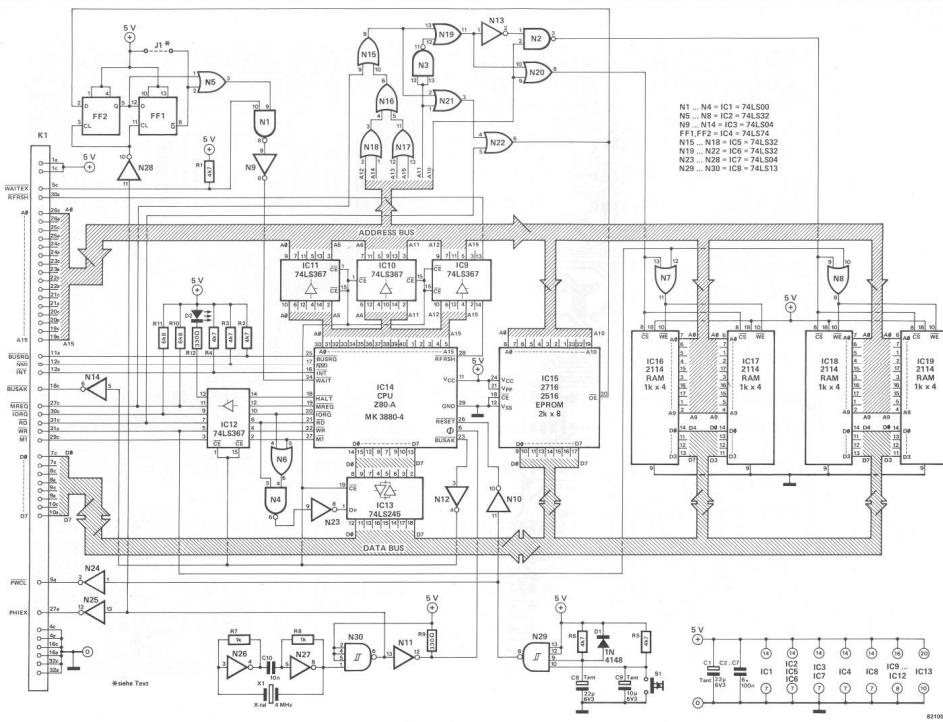
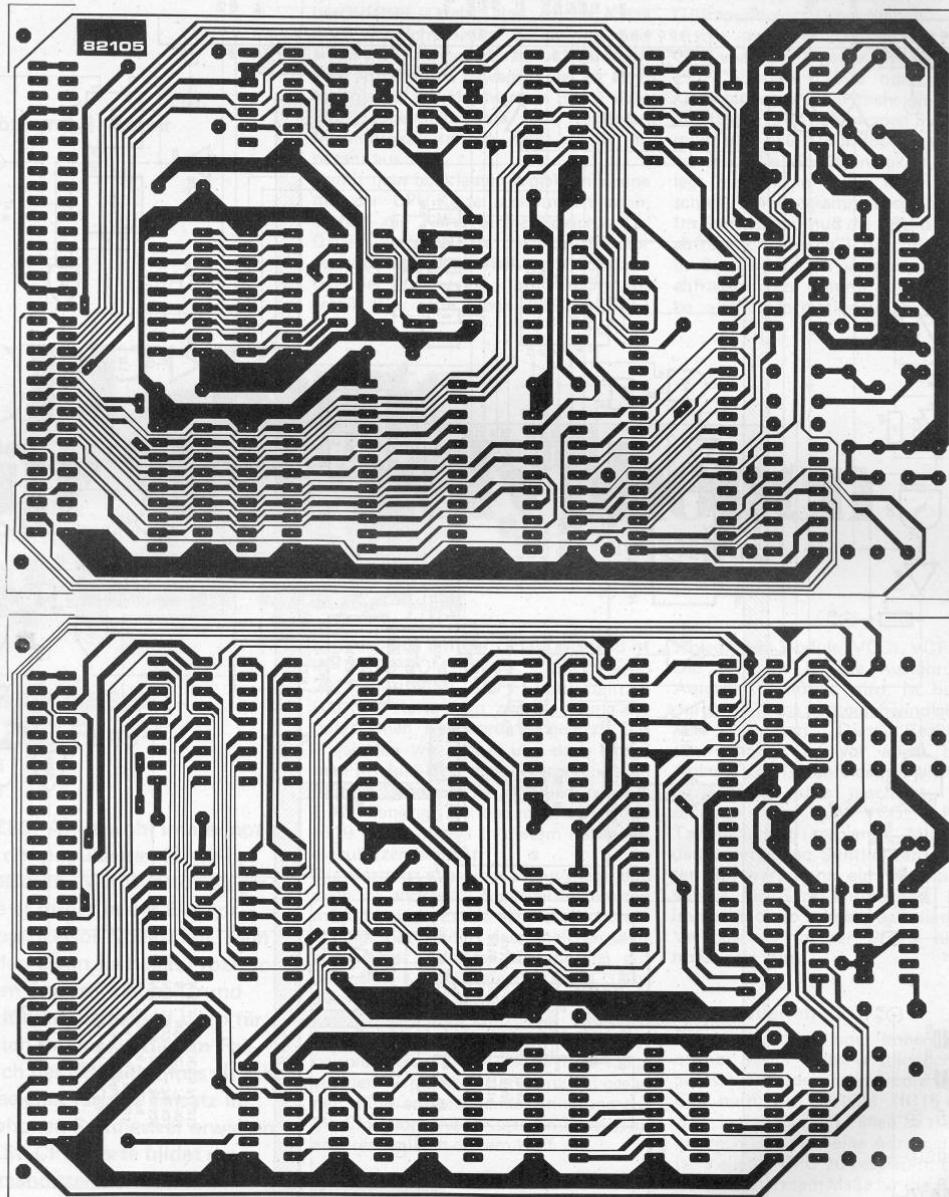


Bild 1. Schaltung der Z80-A-CPU-Karte.

82105

2

**Stückliste**

Zur Prozessorkarte verwenden:

**Widerstände:**

R1 . . . R6 = 4k7  
 R7,R8 = 1 k  
 R9 = 330  $\Omega$   
 R10,R11 = 6k8  
 R12 = 470  $\Omega$

**Kondensatoren:**

C1,C8 = 22  $\mu$ /6V3 Tantal

C2 . . . C7 = 100 n ker. oder MKT  
 C9 = 10  $\mu$ /6V3 Tantal  
 C10 = 10 n MKT

**Halbleiter:**

D1 = 1N4148  
 D2 = LED  
 IC1 = 74LS00  
 IC2,IC5,IC6 = 74LS32  
 IC3,IC7 = 74LS04  
 IC4 = 74LS74  
 IC8 = 74LS13  
 IC9 . . . IC12 = 74LS367

IC13 = 74LS245  
 IC14 = Z80-A oder MK 3880-4  
 IC15 = 2716/2516

IC16,IC17 = 2114 - 2 oder 2114 A - 5  
 $(T_g \leq 250 \text{ ns})$   
 IC18,IC19 = 2114 - 2 oder 2114 A - 5  
 $(\text{Erweiterung})$

außerdem:  
 S1 = einpoliger Taster  
 X1 = 4-MHz-Quarz  
 K1 = 64polige Messerleiste nach DIN  
 $(a, c \text{ belegt})$

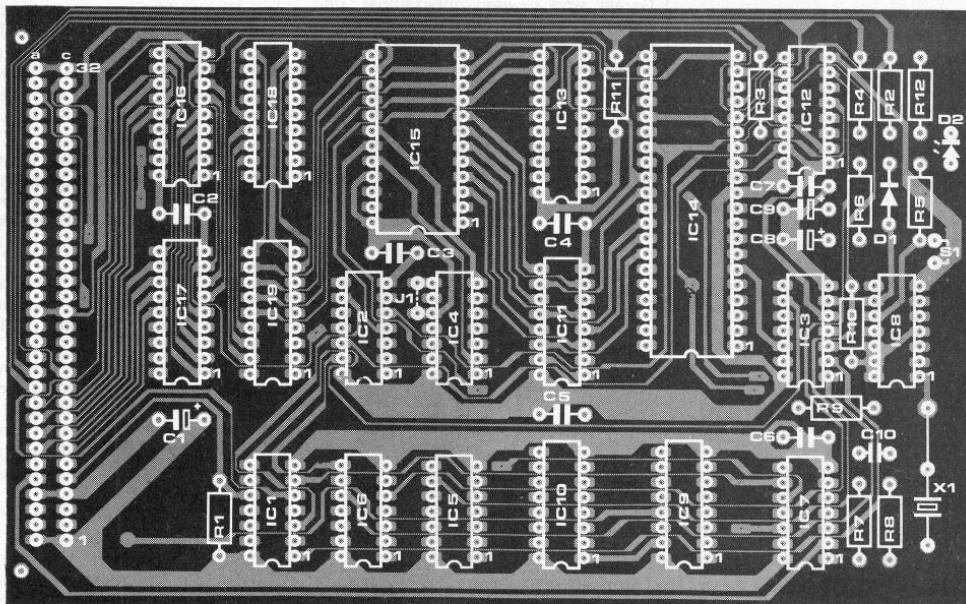


Bild 2. Layout und Bestückungsaufdruck der CPU-Karte.

stelle des  $\overline{CE}$ -Eingangs verwendet wird. Ein 2716-EPROM in 350-ns-Ausführung kann auf diese Weise ohne weiteres eingesetzt werden.

Möchte man allerdings ein langsames EPROM einsetzen, dann muß die CPU "verzögert" werden. Das ist die zweite Möglichkeit der Problemlösung. In diesem Fall werden dem Lesezyklus während des Auslesens des EPROMs sogenannte Warteschleifen ("wait cycles") hinzugefügt. Solch eine Warteschleife ist genau eine Taktperiode lang, in diesem Fall also 250 ns. Fügt man nur eine Warteschleife hinzu, dann kann die Zugriffszeit des EPROMs schon mehr als 500 ns betragen. Auf diese Weise werden auch die "müdesten" EPROMs verwendbar.

Die Warteschleife wird mittels der beiden Flipflops FF1 und FF2 hinzugefügt. Diese Flipflops sind allerdings nur dann "in Betrieb", wenn das EPROM (IC15) adressiert wird (D-Eingang von FF2 auf "0"). Setzt man 350-ns-EPROMs ein, dann können diese Flipflops entfallen. Anstelle von IC4 muß in diesem Fall die Drahtbrücke J1 gelegt werden. Die Verzögerungsschaltung ist dann außer Betrieb. Während des Testens der CPU ist es jedoch zu empfehlen, zunächst mit Warteschleife zu arbeiten, um die Möglichkeit eines zu tragen EPROMs auszuschließen. Außerhalb der CPU-Karte liegende Speicher oder Peripherie können eventuell über den WAITEX-Eingang Warteschleifen verursachen.

### Reset

Damit die CPU auch in die Startlöcher gehen kann, muß man eine Resetschaltung vorsehen. Beim Einschalten der Betriebsspannung sorgen R6, C8 und D1 über N29 und N10 dafür, daß der Reset-Eingang (RESET) der CPU einige Zeit "0" wird. Über das Bus-System kann dieses Signal (PWCL) auch benutzt werden, um andere Systemkarten zu "resetten". "Im Notfall" kann man das System sogar von außen zurücksetzen. Der dafür notwendige Schalter S1 wird am besten an eine schwer zu erreichende Stelle gesetzt. Sonst kann es schon einmal vorkommen, daß einem ein "guter Freund" ins Handwerk pfuscht. In den meisten Fällen hat solch ein falscher Handgriff nämlich den Verlust wertvoller Informationen oder ähnliche Katastrophen zur Folge.

### Platine

Alle Bauteile aus Bild 1 sind mit Ausnahme von S1 auf einer doppelseitig, durchkontaktierten Eurokarte untergebracht (siehe Bild 2). Die Anschlüsse der 64poligen Leiste stimmen mit denjenigen des Elektor-Bus-Systems überein, so daß die Karte mit einigen der schon veröffentlichten Karten kombiniert werden kann. Die Lötarbeit muß man besonders sorgfältig ausführen. An einigen Stellen liegen die Leiterbahnen nämlich so dicht beieinander, daß während des Löbens leicht Lötzinnbrücken entstehen können. Also aufgepaßt! Obwohl die Platine

bereits mit einer Lötstoppmaske versehen ist, kann dieses Problem auftreten.

### Informationen

Die verfügbare Literatur über die Z80-CPU füllt sicherlich schon eine (kleine) Bibliothek. Software gibt's auch reichlich. Der Benutzer muß allerdings wissen, was er damit anfangen kann. In den meisten Fällen ist eine Anpassung an das System, auf dem die Software "laufen" soll, notwendig. Einiges Fachwissen ist deshalb unbedingt erforderlich. Die in diesem Artikel beschriebene CPU-Karte ist in erster Linie zum Einsatz im polyphonen Synthesizer gedacht. Die "Bedienungsanleitung" findet man in den weiteren Beiträgen zu diesem Thema. Auch die Software kommt darin, wenn auch nur sehr knapp, zur Sprache.

Die Anwendung im polyphonen Synthesizer ist nur eine der zahlreichen Möglichkeiten, die diese CPU-Karte bietet. Die Anwendung der Karte in einem anderen System hat den Vorteil, daß man die Hardware an vorhandene Software anpassen kann. Wie solch eine Anpassung vorgenommen wird, bleibt dem Anwender selbst überlassen. In den meisten Fällen führt dieser Weg allerdings eher zum Ziel als die Modifikation der Software. Ein erster Ansatz zum Aufbau eines "eigenen" Computer-Systems bieten die Angaben zur Anpassung der RAM/EPROM-Karte an den Z-80, die ebenfalls in diesem Heft zu finden sind.

A. Seul

Speicherkarte ähneln einander wie ein Ei dem anderen. Sie bestehen nämlich im wesentlichen aus der eigentlichen Speichermatrix, den BUS-Puffern und der Steuerung. Doch – es gibt nicht nur weiße, sondern auch braune Eier! Die Steuerung unterscheidet sich nämlich von einem zum anderen Mikroprozessor-System. Die RAM/EPROM-Karte aus dem September-Heft 1980 ist allerdings so ausgelegt, daß sie sich sowohl für das SC/MP- als auch für das 6502-System eignet.

Eine Anpassung der Speicherplatine an ein Z80-System ist mit einfachen Mitteln zu realisieren. Dazu werden keine zusätzlichen ICs benötigt. Man muß allerdings etwas im Platinen-Layout herumkratzen und einige Drahtverbindungen herstellen. Insgesamt sind 7 neue Leitungen und 9 Unterbrechungen erforderlich. Bild 1 zeigt die Änderungen auf der Lötseite der Platine.

MREQ und in einem Lese-Zyklus der RD-Strobe. Im Lese-Zyklus sind beide Signale synchron. Sind beide Signale beendet, dann hat die CPU die anliegenden Daten aufgenommen (gelesen). Anders im Schreib-Zyklus. Hier setzt die CPU gleichzeitig mit dem MREQ-Signal auch die ausgehenden Daten auf den Datenbus. Das WR-Signal wird dagegen nicht gleichzeitig, sondern erst später aktiv. Damit ist es möglich, die aktive Flanke dieses Strobes direkt zum Schreiben in einen Speicher zu verwenden (wenn man die Systempufferung so ausgelegt hat, daß der Datenbus auch wirklich zum Speicher durchschaltet, bevor der WR-Strobe erscheint!). Das WR-Signal wird gleichzeitig mit dem MREQ-Signal abgeschaltet. Während eines Refresh-Zyklus muß man einen Zugriff auf die Speicherplatine vermeiden. Der Zyklus läuft folgendermaßen ab: Zunächst wird das Refresh-

# RAM/EPROM-Karte für Z80-Systeme

Die im September-Heft 1980 von Elektor veröffentlichte RAM/EPROM-Karte kann zwar im Prinzip in unterschiedlichen Mikroprozessor-Systemen eingesetzt werden. In einigen Fällen ist jedoch eine kleine Modifikation der Steuerung notwendig. Da dieses Heft die Schaltung einer CPU-Karte mit dem Z80-A enthält, liegt es nahe, die notwendige Anpassung der Speicherplatine an den Z80-A (und natürlich auch an jedes andere Z80-System) an dieser Stelle zu beschreiben.

In Bild 2 ist zu erkennen, daß lediglich eine Leiterbahn auf der Bestückungsseite unterbrochen werden muß.

## Funktion

Der Entwurf geht davon aus, daß zur Zeit des Read- oder Write-Strobes der CPU sowohl gültige Adressen als auch die Richtung des Datentransfers (!) definiert sind. Das trifft zwar beim SC/MP und auch beim 6502, nicht jedoch beim Z80 zu. Man kann beim Z80 drei Zustände angeben, bei denen eine gültige Adresse ausgegeben wird: Normaler Speicherzugriff, Zugriff auf eine der 256 I/O-Adressen und Speicherzugriff während eines Refresh-Zyklus. Rechnet man noch die vierte Möglichkeit einer ungültigen Adresse hinzu, dann wären nur zwei CPU-Leitungen notwendig, um alle möglichen Adressenzustände zu beschreiben. Tatsächlich verwendet der Z80-Prozessor aber drei Leitungen:

MREQ, wenn ein Speicherplatz gemeint ist,

IORQ, wenn ein Peripheriegerät gemeint ist und

RFSH, wenn dynamischen RAMs auf die Sprünge geholfen wird.

IORQ kann man an dieser Stelle außer Acht lassen. Benötigt werden nur die Beschreibungen eines normalen Speicherzugriffs und des Refreshings.

Während eines normalen Speicherzugriffs gibt die CPU zunächst die Adressen aus. Kurze Zeit später folgen der

Signal aktiv. Erst dann erfolgt ein Strobe mit dem MREQ-Signal. RD und WR werden nicht benutzt, weil die CPU bei diesem Speicherzugriff die Daten ignoriert.

Zusammenfassend ergeben sich für die Steuerung eines Speichersystems die folgenden Forderungen:

1. Der Speicher wird angesprochen, wenn MREQ aktiv und RFSH nicht aktiv ist.
2. Die Daten müssen am RAM liegen, bevor der WR-Strobe aktiv ist.
3. Die Daten müssen auf dem BUS erscheinen, solange RD aktiv und der Speicher selektiert ist. Sonst nicht!

Bild 3 zeigt die Schaltung der auf diese Weise modifizierten Karte. Forderung 1 wird durch die Verknüpfung von MREQ und RFSH durch N6 und N7 erfüllt. Pin 8 von N7 wird nur dann "0", wenn die CPU einen Speicherplatz adressiert. Die Karte soll natürlich nicht bei jedem Speicherzugriff reagieren, sondern nur dann, wenn der auf ihr enthaltene Speicherausschnitt gemeint ist. Deshalb ist Pin 8 von N7 mit den Pins 18 und 19 von IC5 verbunden. Der Dekoder 74154 wird also nur dann eingeschaltet, wenn ein gültiger Speicherzugriff vorliegt. Seine Ausgänge schalten über N1 und N2 die CS-Dekoder IC6 und IC7 ein. Außerdem liefert der Ausgang von N5 ein Platinen-Select-Signal ("active high"). Forderung 2 wird dadurch erfüllt, daß die Karte im Ruhezustand die Daten vom BUS zum Speicher durchläßt. Die Daten liegen also auch an, wenn WR erscheint.

1a

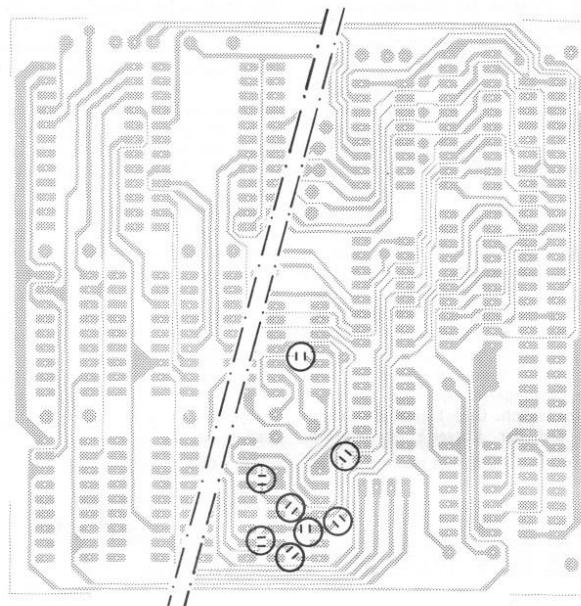


Bild 1a. Leiterbahnunterbrechungen auf der Lötseite.

Die RAM/EPROM-Karte verwendet statt eines RD-Signals das WR-Signal und schaltet die Daten auf den BUS, wenn der Speicher selektiert und das WR-Signal inaktiv ist. Auf ein Z80-System übertragen: Während eines Schreibzyklus liegt das Platinen-Select-Signal vor dem WR-Strobe an. Die nicht-modifizierte Karte „sieht“ Select und Nicht-WR und nimmt deshalb einen Lesezyklus an. Bis zum Eintreffen des Schreibpulses WR schaltet sie also die RAM-Daten auf den BUS. Zum einen liegen damit die BUS-Daten nicht am RAM an, wenn der WR-Strobe erscheint (Forderung 2). Zum anderen wird der Datenbus bereits von den Puffern der CPU versorgt, weil die CPU-Steuerung den Schreibzyklus erkannt hat. Der BUS darf allerdings nicht aus zwei Richtungen gleichzeitig versorgt werden, sonst spielt er „verrückt“. Je nach eingesetzten Treibern entstehen nämlich Stromspitzen auf der +5-V- und auf der GND-Leitung, die durchaus zu einem „Systemkollaps“ führen können. Aus diesem Grunde wird im Z80-System das mittels N8 invertierte RD-Signal (über N3 verknüpft mit dem Platinen-Select-Signal) für die Richtungssteuerung der DATA-BUS-Puffer verwendet. N4 dient zur Pufferung der WE-Leitung, die immerhin 16 ICs versorgen muß.

1b

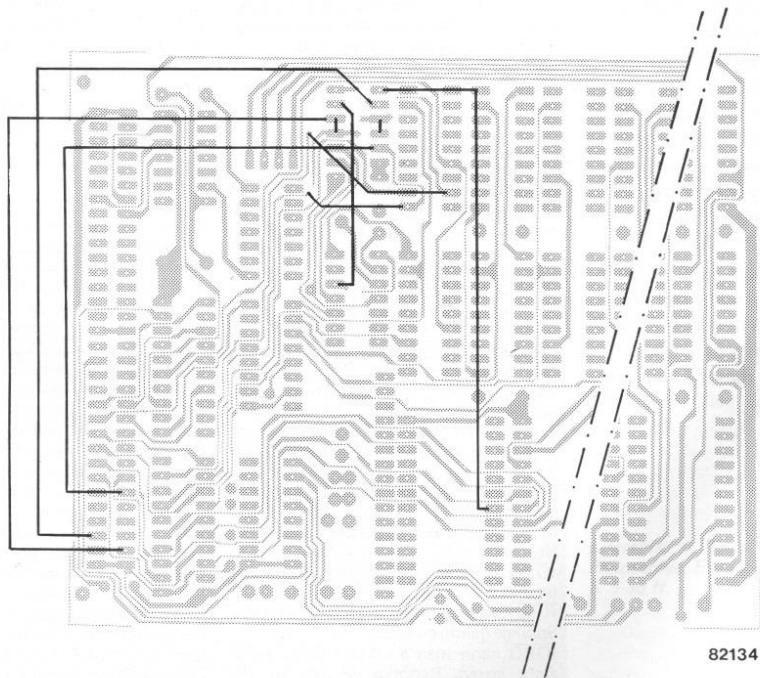
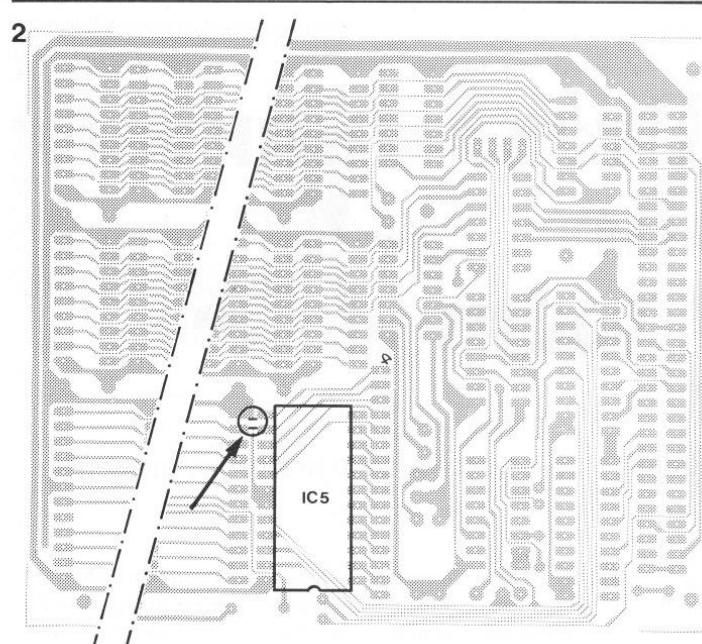


Bild 1b. Verbindungsleitungen auf der Lötseite.

Die für die Modifikation notwendigen Inverter N6 und N8 sowie das NAND-Gatter N7 sind bereits auf der Platine in IC29 (74LS00) enthalten. In der Originalschaltung liegen die dort ungenutzten Eingänge auf definierten Pegeln, um Übersprechen auf aktive Gatter zu vermeiden. Diese Anschlüsse muß man jetzt durch die in den Bildern 1b und 3 angegebenen Verbindungsleitungen ersetzen.

Nach Ausführung der erwähnten Änderungen ist die RAM/EPROM-Karte für den Einsatz in Z80-Systemen gerüstet. ▀



**Bild 2.** Leiterbahnunterbrechung auf der Bestückungsseite.

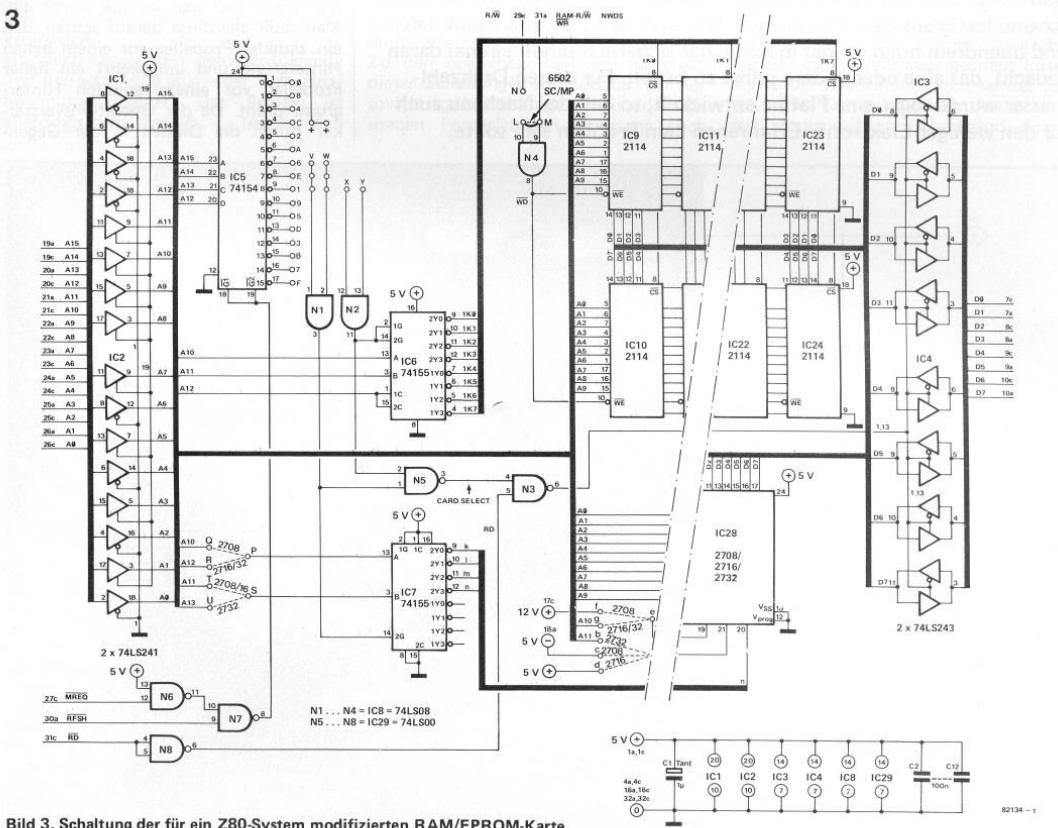


Bild 3. Schaltung der für ein Z80-System modifizierten RAM/EPROM-Karte.

Considering the amount of brain power stored away inside the Z80-A, the CPU circuit is surprisingly straightforward. As can be seen from figure 1 all that is needed to make the brain tick is a handful of ICs. Memory is organised according to the Elektor systems' page structure, in other words, it consists of 4K blocks. The first block (0000 ... 0FFF) is located on the CPU board and contains 2K of EPROM (0000 ... 07FF) and 2K of RAM (0800 ... 0FFF). This particular board was designed for use with the new polyphonic synthesiser or Polyformant and the combination is described in detail elsewhere in this issue. Since only 1K

formant requires a Z80-A (MK 3880 - 4) CPU.

Essentially, the operating speed of the processor mainly determines the time it takes to execute a program. In the Polyformant, the CPU must scan the keyboard and in the extended version it must also scan all the presets. Furthermore, it must pass on all the relevant data to the Polyformant modules (VCOs, VCFs and so on).

How much time these processes take depends on the response speed of the microcomputer. This is particularly important when the keyboard is being scanned. The faster the scan, the sooner a VCO will be able to react to a depressed key. Using the software package developed for the Polyformant, a VCO can respond within two or three milliseconds. This delay is far too short to be noticeable.

# Z80-A CPU card

## ... for the Polyformant

As the Z80 is still one of the most popular microprocessors around, it is high time the device was mentioned in Elektor. However, that is not the only motive behind this article, for the Z80-A CPU is the heart of the control circuitry for the new Elektor synthesiser. The board is compatible with the Elektor microprocessor bus system, so that the Eurocard collection will now be accessible to Z80 users.

of RAM is required in this application IC18 and IC19 (see figure 1) may be omitted.

It is not absolutely necessary to position the memory ICs and their corresponding address decoders on the CPU board. Large amounts of software can best be stored on a separate (EP)ROM board, such as the Elektor RAM/EPROM card (ESS 80120). One or two minor modifications to the latter are required first, however, details of which are provided elsewhere in this issue.

### Buffers

Any self-respecting CPU board will of course have to be properly buffered, as the CPU outputs are unable to drive a complete system directly. Since the buffers used here (IC9 ... IC13) are tri-state and are enabled by the BUSAK signal, the DMA, or multiprocessing, facility of the Z80 is retained.

### Speed

The processor is driven by a 4 MHz crystal oscillator. This is the highest possible clock frequency for a Z80-A or MK 3880-4 CPU. With the standard Z80 or MK 3880 the clock frequency should not exceed 2.5 MHz. It should be mentioned at this stage that the Poly-

### Wait cycles

The use of a high clock frequency automatically calls for corresponding processing speeds, or access times. The access time of a standard 2716 EPROM (IC15) will usually be too long for it to be addressed by the CPU. As for data entry, even less time is available for writing to the RAMs (IC16 ... IC19)!

There are two ways in which this problem can be solved. The first method involves the use of high-speed memory devices, that is to say, EPROMs and RAMs with an access time of 350 ns and 250 ns, respectively. The latter are easily obtainable nowadays, but 350 ns EPROMs are a little harder to find. Strictly speaking, even 350 ns is 'cutting it a bit fine', although a shortcut may be taken by implementing the OE (output enable) input instead of the CE (chip enable) input. This enables a 350 ns 2716 to be used without the need for any special measures.

The other alternative is to slow down the CPU and use normal 'low-speed' EPROMs. This is done by adding wait cycles to read operations. A wait cycle lasts exactly one clock period, that is, 250 ns. The addition of a single wait cycle will therefore extend the EPROM access time to 500 ns, which gives plenty of leeway to even the most 'sluggish' types. The delay is effected by including flipflops FF1 and FF2 in the circuit.

The flipflops are only active while the EPROM (IC15) is being addressed (the D input of FF2 is low). They may be omitted if a 350 ns EPROM is available, in which case a wire link, J1 must be included instead of IC4. This deactivates the delay circuit. When testing the CPU, however, readers are advised to carry out the first method initially and include a wait cycle, so as to be absolutely sure that a slow EPROM will not complicate matters.

Any external memory or peripheral devices are also able to generate wait cycles by way of the WAITEX input.

U. Götz and R. Mester

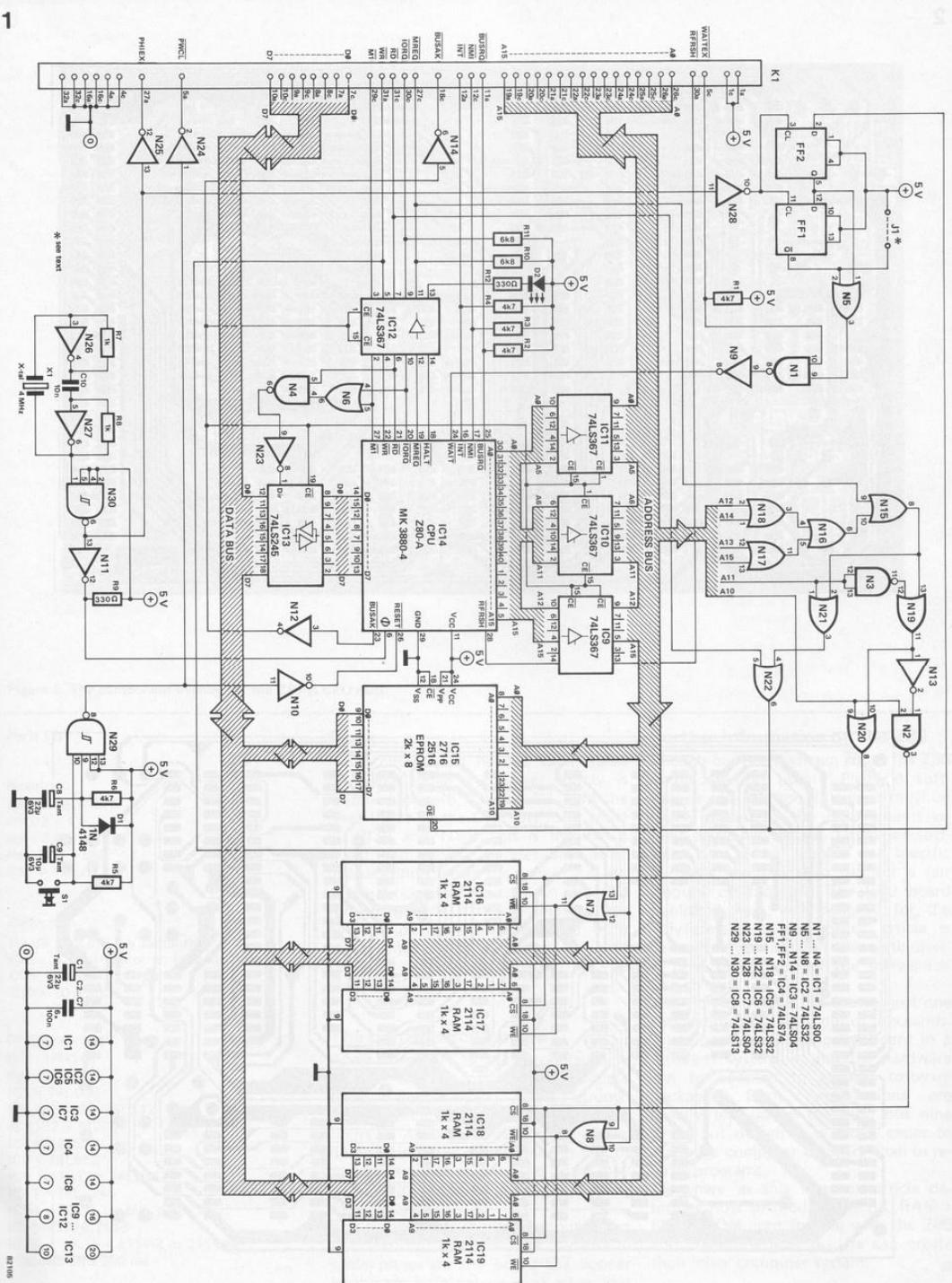


Figure 1. The circuit diagram of the Z80-A CPU card.

2

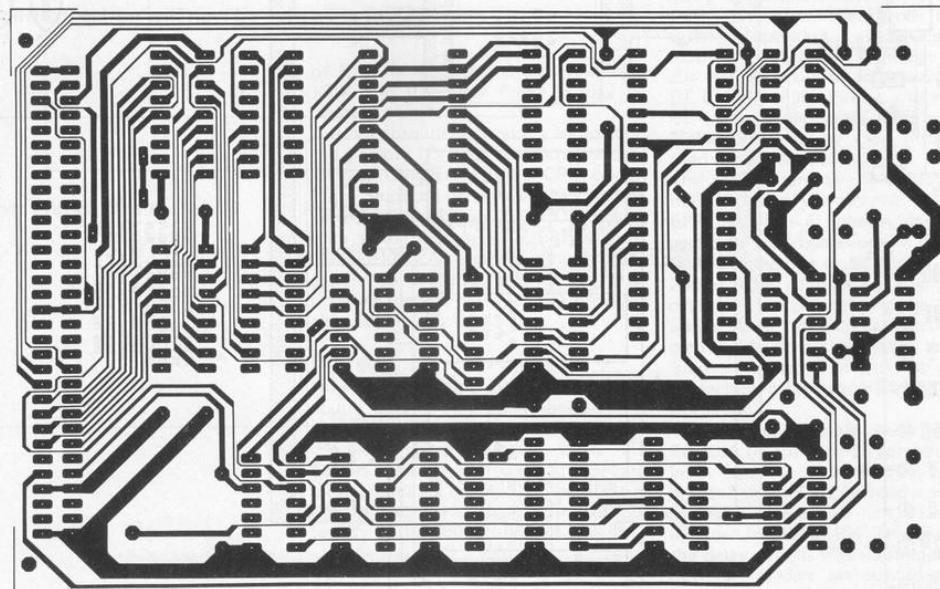
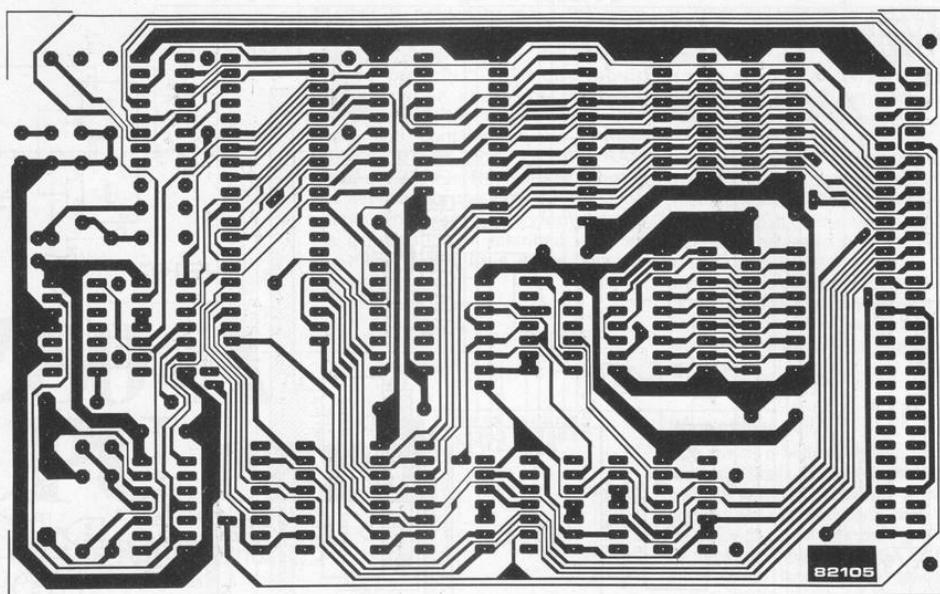


Figure 2. The copper track pattern for the double sided printed circuit board.

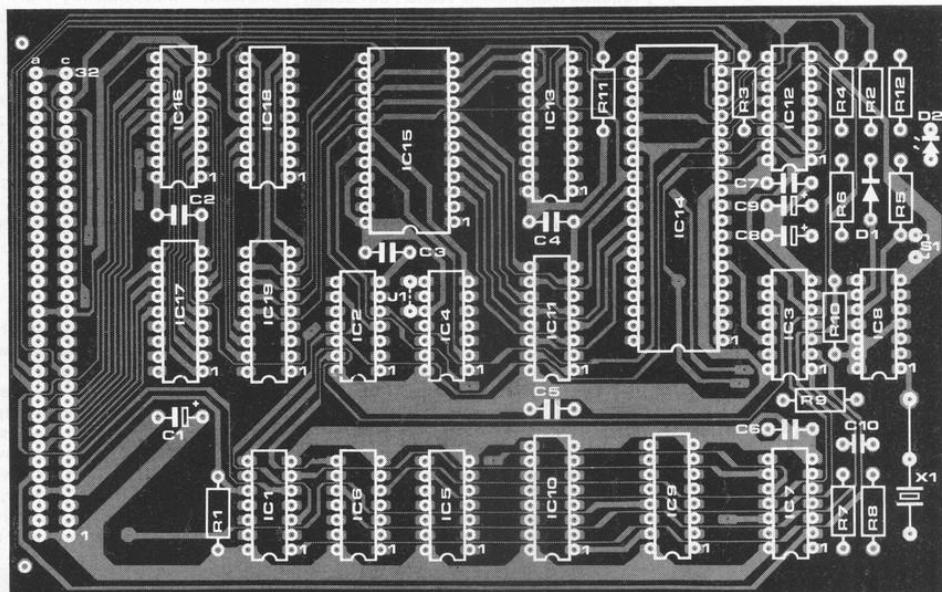
**3**

Figure 3. The component overlay for the Z80-A CPU card

**Parts List****Resistors:**

R1 ... R6 = 4k7  
R7,R8 = 1 k  
R9 = 330 Ω  
R10,R11 = 6k8  
R12 = 470 Ω

**Capacitors:**

C1,C8 = 22 μ/6.3 V tantalum  
C2 ... C7 = 100 n ceramic or MKH  
C9 = 10 μ/6.3 V tantalum  
C10 = 10 n MKH

**Semiconductors:**

D1 = 1N4148  
D2 = LED  
IC1 = 74LS00  
IC2,IC5,IC6 = 75LS32  
IC3,IC7 = 74LS04  
IC4 = 74LS74  
IC8 = 74LS13  
IC9 ... IC12 = 74LS367  
IC13 = 74LS245  
IC14 = Z80-A (or MK 3880 - 4)  
IC15 = 2716/2516  
IC16 ... IC19 = 2114-Z or 2114A-5  
(access time 250 ns)

**Miscellaneous:**

S1 = push button switch  
X1 = 4 MHz crystal  
K1 = 64-pin connector

**Reset**

Reset circuitry is needed to initialise the CPU. When the power supply is switched on, R6, C8 and D1 hold the reset input of the CPU low for a while via N29 and N10. This is the PWCL signal and serves to reset any other boards connected to the system bus. An external reset facility has been provided for emergencies. It is advisable to place S1 'out of reach' to prevent it from being inadvertently depressed thus causing valuable information to be irrevocably lost.

**The printed circuit board**

Apart from S1, all the components in figure 1 are mounted on a Eurocard sized, double-sided, plated-through printed circuit board. This is shown in figure 2. As the pin assignment of the 64-pin connector corresponds to that of the Elektor bus system, the board may be used in combination with a number of existing cards.

The components should be mounted on the CPU card with due care, because in some places on the board the copper tracks are so close to each other that soldering may easily cause a 'short'. Although the board is provided with a solder mask to reduce this sort of problem, a great deal of care is still required.

**Further information on the Z80**

Enough has been written about the Z80 to fill an entire library. Plenty of software is available too, but users must be well-informed of the requirements of their particular system. Often the software has to be adapted for specific purposes and this does call for a fair amount of expertise. The CPU board published here was designed for the Polyformant and a special article is devoted to its use with the synthesiser. A brief description of the software is also given.

The Polyformant is, of course, just one application possibility out of thousands. The advantage of using the board in a different system is that the hardware can be adapted to existing software packages. Such modifications are usually left up to the user, but nine times out of ten it is much easier to rearrange computer circuitry than to rewrite programs.

Elsewhere in this issue an article describes how to modify the 8K RAM + 8K EPROM card for use with the Z80 and therefore how readers can create their 'own' computer system. ■

the basic idea of the RAM/EPROM card can be applied to almost any microprocessor system. All that is required is to change the address and data bus connections to suit the particular CPU. In this article we will describe how to modify the Polyformant's RAM/EPROM card to make it work with the Z80-A processor. The changes required are very simple and involve only minor alterations to the printed circuit board. The modifications are described in detail in Figures 1 and 2.

Memory cards are basically birds of a feather. They all contain memory ICs, BUS buffers and a control circuit. The latter, however, does tend to vary from one system to another. The RAM/EPROM card described in the September '80 issue was originally designed for use with the SC/MP and 6502 systems, but after a couple of alterations it can be run on the Z80 as well. This involves changing the printed circuit board by breaking 9 tracks and then inserting 7 new wire links. No new components are required. In other words, it is just a 'cut and shunt' exercise.

Figures 1 and 2 show the changes that need to be made to the lower and component overlay sides of the printed circuit board, respectively. As can be seen, very little cutting and linking is required.

memory access and refresh cycles. During normal memory access the CPU starts by outputting addresses. After a short period, the MREQ signal is generated. This is accompanied by the RD strobe during a read cycle, in which case both signals will be synchronous. After the two signals the CPU stops reading data.

Things are different in the write cycle where the CPU produces the MREQ signal and simultaneously transmits the output data to the data bus. But the WD line is not enabled until after a brief interval to allow the active edge of the strobe to be used for data storage (provided the system is buffered in such a way that the data bus really does pass data to memory before the WD strobe arrives!). The WD signal is disabled at the same time as the MREQ signal.

# RAM/EPROM card for the Z80

A. Seul

In principle, the RAM/EPROM card (as published in the Elektor September '80 issue) may be connected to a variety of microprocessors. One or two minor alterations to the control circuit are all that is necessary, in many cases, to match it to a particular system. This article describes the changes needed in order to interface the card to the Z80- and the Z80-A CPU, in particular, as this is introduced elsewhere in the present issue as the 'brain' behind the Polyformant.

## Reasons for the changes

The SC/MP and 6502 systems define both the address range and the direction in which the data transfer is to take place during either the read or write strobe produced by the CPU. In the Z80, on the other hand, a valid address may be output on three separate occasions: during normal memory access, when one of the 256 I/O addresses is being accessed and in the case of memory access during a refresh cycle. Taking into account the additional possibility of a non-valid address, only two CPU lines would seem to be required to define every possible address status. In actual fact, however, the Z80 processor uses three lines:

MREQ to access memory locations;  
IORQ to access peripheral devices and  
RFSH to access and refresh dynamic  
RAMs.

Let's forget about IORQ for the moment and see what happens in normal

The memory card may not be accessed during a refresh cycle. What happens here is that the refresh line is enabled first, after which the MREQ signal is strobed. RD and WD are not used, because the CPU ignores data during this particular process.

The control circuit of a memory device operates according to the following parameters:

1. Memory is accessed if MREQ is enabled and RFSH is disabled.
2. Data must be applied to RAM before the WD strobe is enabled.
3. Data must only enter the BUS while RD is enabled and memory is being accessed.

Figure 3 shows the circuit diagram of the modified memory board. The first parameter is met by linking MREQ and RFSH by way of N6 and N7. Pin 8 of N7 will then only go low, if the CPU addresses a memory location. The memory card should only react to a memory access if the relevant memory range is being selected. This is achieved by connecting pin 8 of N7 to pins 18 and 19 of IC5 (the 74154 decoder). Its outputs activate the CS decoder IC6 and IC7 by way of N1 and N2. In addition, the output of N5 produces an active high CARD SELECT signal.

The second requirement is fulfilled by making sure the card transfers data from the BUS to memory during its quiescent state. Thus, data will also be applied upon the arrival of the WD signal.

The 6502 processor implements the WD signal instead of its RD counterpart to transfer data to the data bus when memory is being accessed and the WD signal is disabled. In a Z-80 system, this would go hopelessly wrong: during a write cycle the CARD SELECT signal will precede the WD strobe. The original cir-

1a

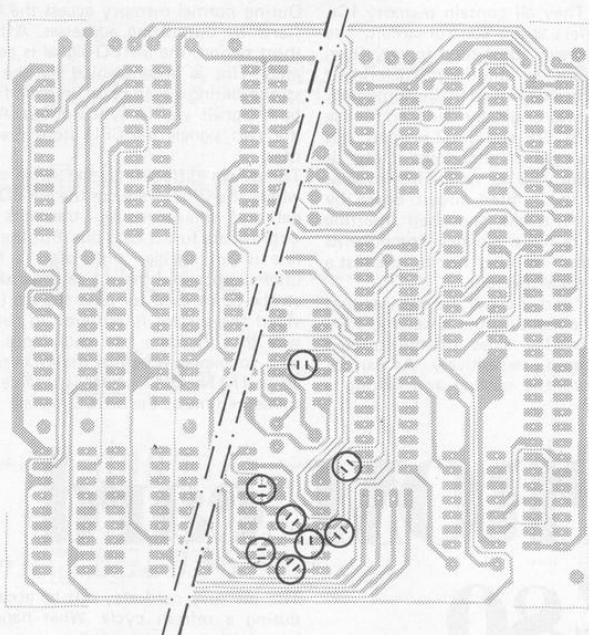
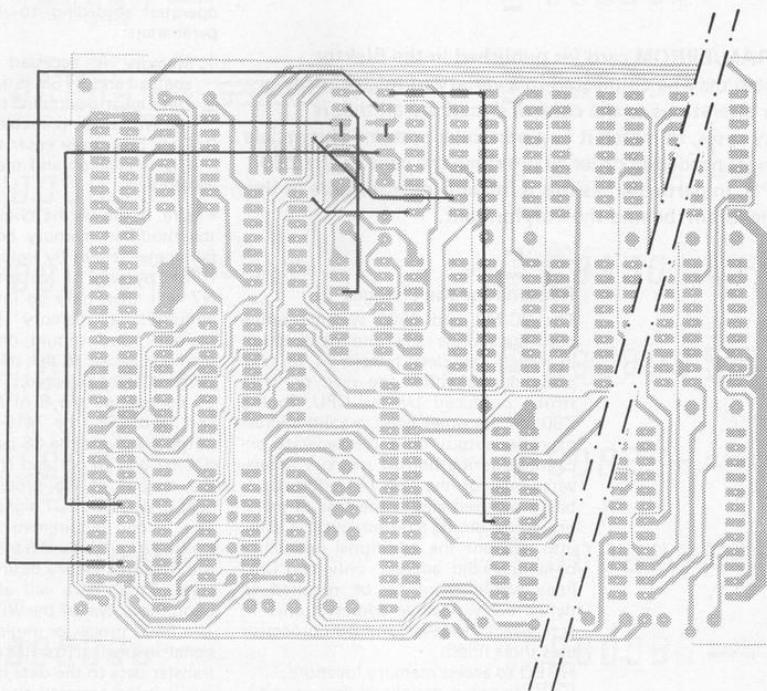


Figure 1a. The circles indicate which tracks on the lower side of the printed circuit board need to be broken.

1b



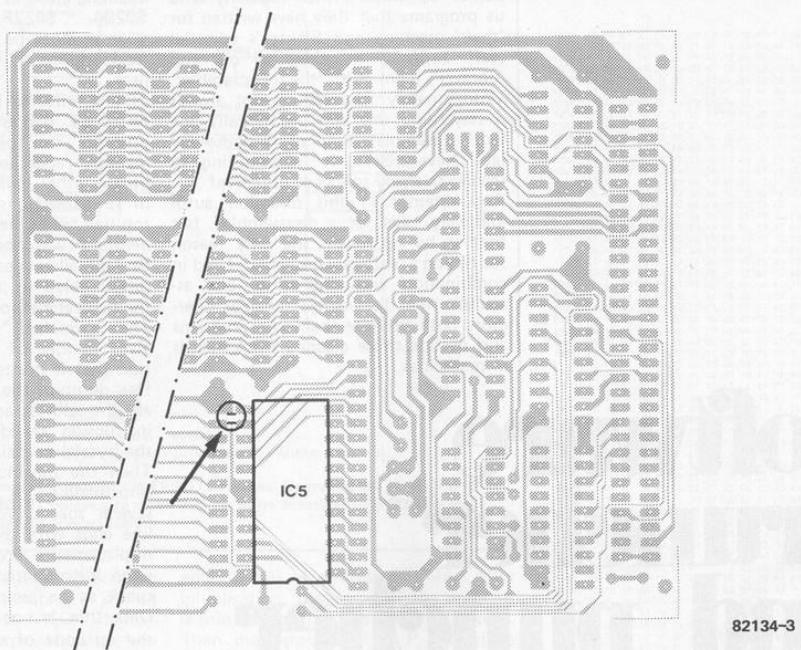
82134-2

Figure 1b. The new wire links on the lower side.

cuit 'notices' the signals and starts a read cycle. It will therefore transfer RAM data to the BUS until the write pulse WD appears. On the one hand, this prevents data from being applied to RAM upon the arrival of the WD strobe (second parameter) and on the other, the data bus is already being driven by the CPU buffers, as the CPU control circuit has acknowledged the write cycle. Bi-directional transfer is strictly forbidden in the BUS. Depending on which drivers are being operated, current peaks will be produced on the +5 V and GND lines, which could well make the system collapse.

To avoid these problems, the RD signal is inverted by way of N8 (and linked to the CARD SELECT signal by way of N3), and used to control the direction of data transfer in the data bus buffers. N4 serves to buffer the WE line, which has the arduous task of driving 16 ICs.

Inverters N6 and N8 and NAND gate N7 required for the modification are already included on the printed circuit board in IC29 (74LS00). In the original circuit, the unused inputs are either high or low to avoid crosstalk to active gates. These connections should now be replaced by the links indicated in figures 1b and 3. Once all these alterations have been made, the RAM/EPROM card will be ready for use with the Z80. ■

**2**

82134-3

Figure 2. Only one track needs to be broken on the component overlay side.

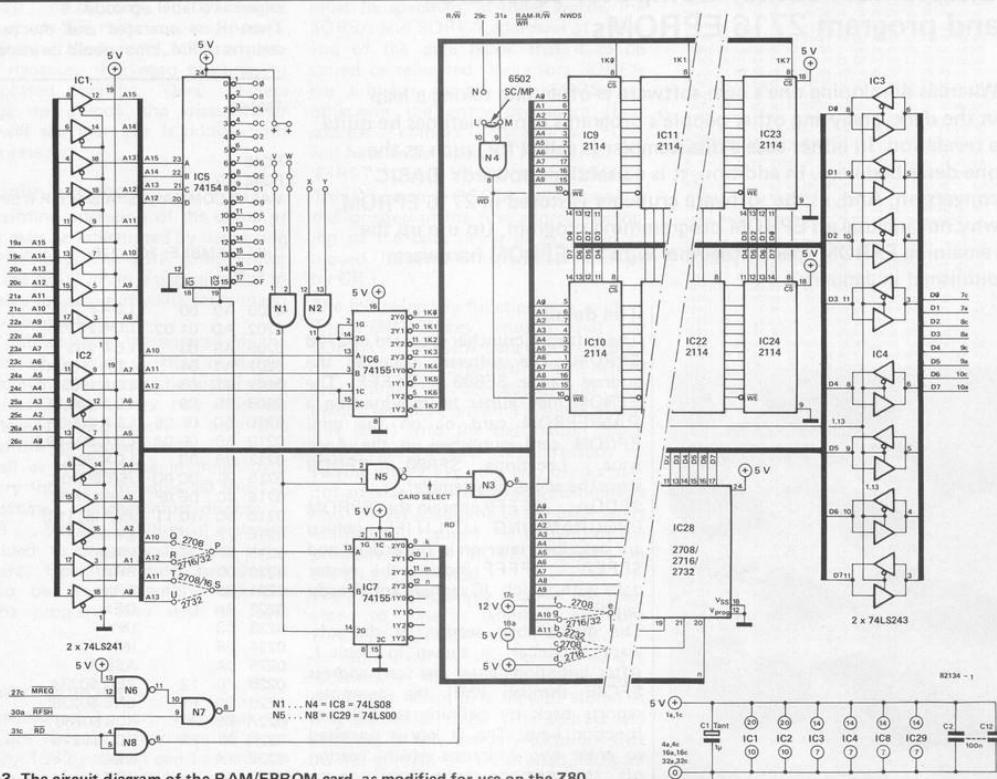
**3**

Figure 3. The circuit diagram of the RAM/EPROM card, as modified for use on the Z80.