Axel Schulze

Systemerweiterung für KIM1

Das KIM1-Mikroprozessorsystem besitzt in seiner Grundversion einen dekodierten Speicherblock von 8 KByte ($\overline{K0}$ bis $\overline{K7}$), wobei die mit $\overline{K1}$ bis $\overline{K4}$ bezeichneten 4 KByte nicht bestückt sind.

Meine Systemerweiterungskarte entstand aus dem Gedanken, zum einen diese 4 KByte mit zwei EPROM-Bausteinen des Typs 2716 und eigenem Monitorprogramm zu bestücken. Zum anderen weitere, im Handel erhältliche Platinen mit dem VG64-Stecker an den KIM anschließen zu können.

Hierbei ergibt sich die dritte sehr nützliche Erweiterung. Die Möglichkeit nämlich, Interrupt-Vektoren von der CPU nicht nur aus dem mit $\overline{K7}$ dekodierten ROM des MPS 6530-002 zu holen, sondern mit einem DIP-Schalter wählbar, aus der zero-page ($\overline{K0}$) oder einem der beiden EPROM ($\overline{K2}$ oder $\overline{K4}$). So muß der Prozessor nach einem Reset nicht mehr unbedingt das KIM-Monitorprogramm abarbeiten, sondern startet sofort mit einem Programm des Anwenders, dessen Startadresse von den oberen Adressen eines der beiden EPROM geholt wird.

Die Schaltung kann auf einer Lochrasterplatine im Euroformat aufgebaut werden, an deren Vorderseite sich der Stekker zum „application connector" des KIM befindet, ihm gegenüber ist ein VG64-Stecker eingelötet, an den eine Busplatine angeschlossen wird.

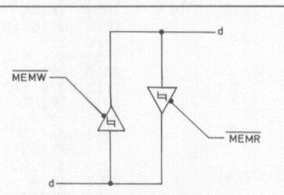
Die Adressen- und Datenbuspufferung

Zur Pufferung des Adressen- und Datenbusses dienen je zwei nichtinvertierende Tri-State-Buffer 74LS244 J6 bis J9. Die Steuerleitungen $\overline{1g}$ und $\overline{2g}$ liegen bei J8 und J9 an Masse, somit puffert jeder Baustein acht Leitungen des Adressenbusses unidirektional. Je vier Leitungen des Datenbusses liegen an J6 und J7. Für den bidirektionalen Datenverkehr ist der Eingang eines Verstärkers mit dem Ausgang des anderen verbunden. Durch die Signale $\overline{MEM\ W}$ an der Steuerleitung $\overline{1g}$ und $\overline{MEM\ R}$ an $\overline{2g}$ schaltet der Puffer immer dann zwischen der Richtung Lesen und der Richtung Schreiben um, wenn die mit KØ, K5, K6 und K7 dekodierten Speicher der KIM-Platine nicht angesprochen werden.

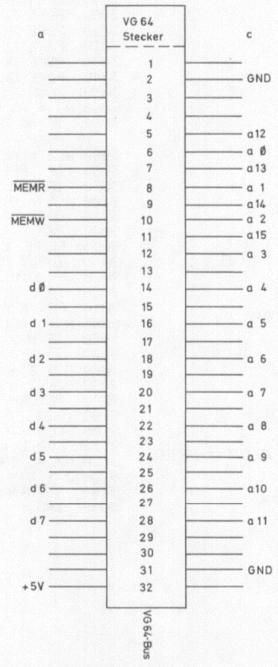
Die Erzeugung der $\overline{MEM\ R}$-, $\overline{MEM\ W}$-Signale

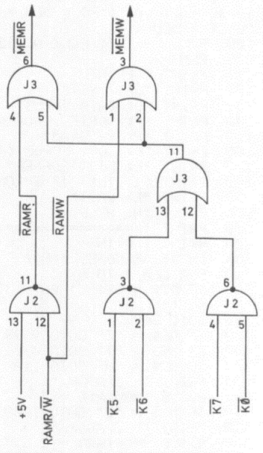
Zu diesem Zweck liefert der KIM ein RAM-R/W-Signal, das über J2,12 (J2 = Nummer des IC im Schaltplan, 12 = Pin dieses IC) in ein $\overline{RAM\ R}$- und ein $\overline{RAM\ W}$-Signal aufgespalten wird. Das NAND-Gatter J2 arbeitet hier als Inverter, da sein zweiter Eingang J2,13 an +5 V liegt.

Am ODER-Gatter J3,6 (bzw. J3,3) ent-

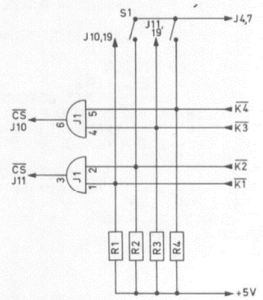


Schaltung des Buffers 74LS244 für den bidirektionalen Datenfluß

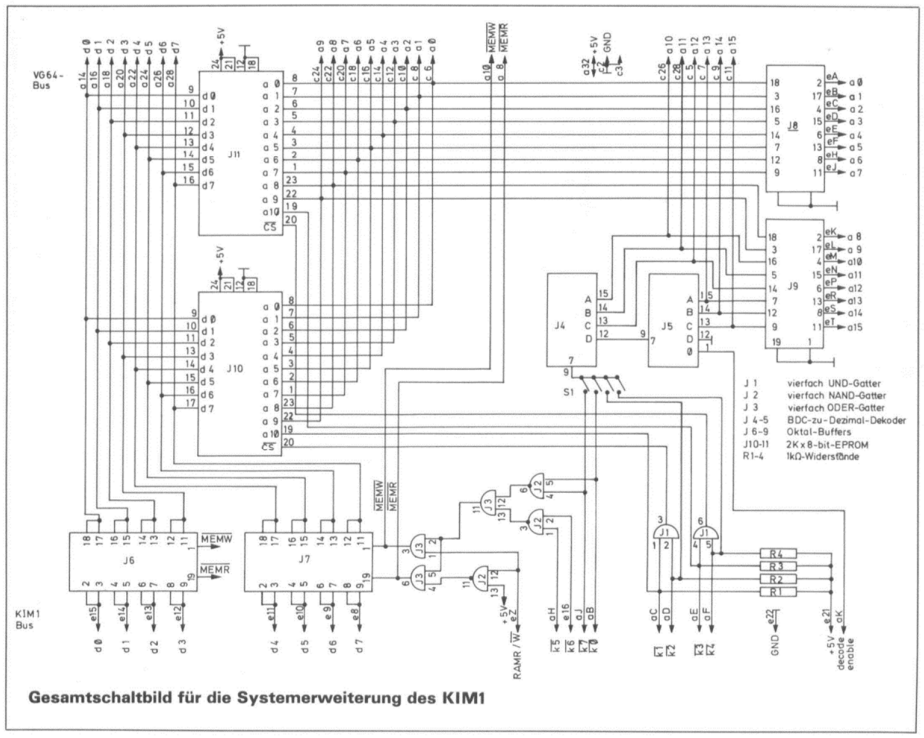




Erzeugung von den Steuersignalen $\overline{MEW\ W}$, MEM R



Verarbeitung der Dekoder-Signale $\overline{K1}$ bis $\overline{K4}$

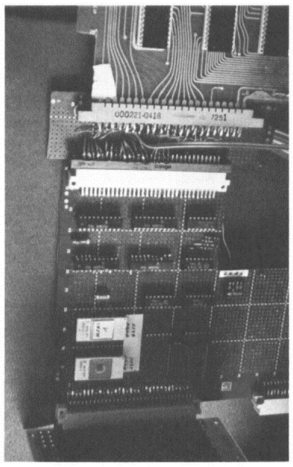


Gesamtschaltbild für die Systemerweiterung des KIM1

steht das $\overline{\text{MEM R}}$- (bzw. $\overline{\text{MEM W}}$-) Signal durch Verknüpfung des RAM R- (bzw. $\overline{\text{RAM W}}$-) Signals mit dem Ausgang eines vierfach NAND-Gatters, an dessen Eingängen die vier Dekodersignale KØ, $\overline{\text{K5}}$, $\overline{\text{K6}}$ und $\overline{\text{K7}}$ liegen.
Anstelle des vierfach NAND arbeitet meine Karte mit einer Kombination aus 2/4 NAND J2 und 1/4 ODER-Gatter J3 mit der gleichen Funktion: Die Datenbuspuffer sind dann in beiden Richtungen gesperrt, wenn der Prozessor auf Speicher der KIM-Platine zugreift.

Anschluß der zwei 2K × 8-bit-EPROM 2716

Die zwei EPROM belegen den Speicherbereich (hex) Ø4ØØ – ØbfF (J10) und ØcØØ – 13ff (J11). Beide liegen parallel am 8-bit-Datenbus dØ – d7 und am 10-bit-Adressenbus aØ – a9. Zur Erzeugung der $\overline{\text{CS}}$-Signale (chip-select) werden die über je einen Widerstand $R_1 - R_4$ auf +5 V



hochgezogenen Dekoder-Signale $\overline{\text{K1}}$ und $\overline{\text{K2}}$ für J10,20 sowie $\overline{\text{K3}}$ und $\overline{\text{K4}}$ für J11,20 über zwei UND-Gatter J1 zusammengeschaltet.
Die von den IC geforderte Adressenleitung a1Ø liegt bei J10,19 an $\overline{\text{K1}}$, bei J11,19 an $\overline{\text{K3}}$. Besitzt man EPROM, die mit invertiertem a1Ø programmiert sind, genügt es, $\overline{\text{K1}}$ mit $\overline{\text{K2}}$ und $\overline{\text{K3}}$ mit $\overline{\text{K4}}$ zu vertauschen.
Als Spannungen liegen an Pin 24 (V_{cc}) und 21 (V_{pp}) + 5 Volt, an Pin 18 ($\overline{\text{CE}}$, chip enable) und 12 (GND) Ø Volt.

Verbindung zum VG64-Bus

Wie schon erwähnt, befindet sich am Ende meiner Systemerweiterungskarte ein VG64-Stecker, auf den eine Bus-Platine aufzustecken ist.

EPROM- und Systemerweiterungskarte als Bindeglied zwischen VG64-Bus und KIM1

CHIP-BÖRSE

Unter dieser Rubrik veröffentlicht CHIP Textanzeigen zu einem besonders günstigen Preis.

Nutzen Sie den Anzeigen-Service, wenn Sie

- Hardware oder Software verkaufen wollen
- Programme austauschen möchten
- Kontakte und Erfahrungsaustausch anstreben
- Literatur suchen oder anbieten

Private Gelegenheitsanzeigen je Druckzeile 6 DM inkl. MwSt.

Musteranzeige

Suche Mini-Printer, Ansteuerelektronik, möglichst 64 Zeichen/Bit parallel Eingang/Zeichen seriell. H. J. Kraft, S 17/68 Mannheim

nur 24 DM

Gewerbliche Gelegenheitsanzeigen je Druckzeile 8 DM zuzügl. MwSt.

Musteranzeige

Verkaufe Datensichtgeräte 80 × 24 Z, VB 750,– DM. Mikrocomputer-Kits, Peripherie-Software äußerst günstig. H. Jung, Telefon (0 40) 31 46 78

nur 32 DM zuzügl. MwSt.

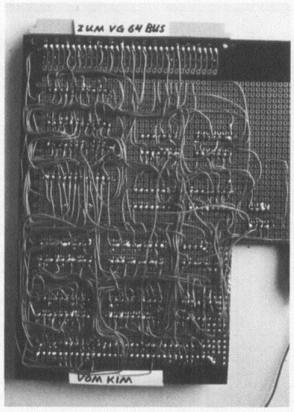
Chiffregebühr 6 DM inkl. MwSt.

CHIP

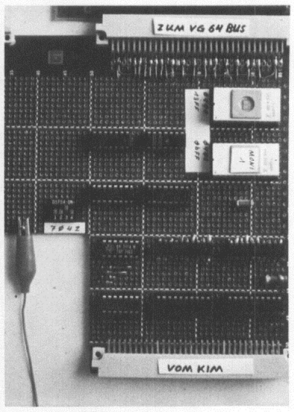
Anzeigenservice
Vogel-Verlag
Postfach 67 40

D-8700 Würzburg 1

Systemerweiterung für KIM1



Unterseite, mit Verdrahtung



Bauteileseite der Platine

Dekodierung und Interrupt-Vector-Select

In der Grundversion des KIM1-Systems werden zur Dekodierung des unteren 8K-Speicherblocks nicht die Adressenleitungen a13 bis a15 berücksichtigt. Der Eingang d (decode enable) des platineninternen Dekoders 74LS145 liegt an Masse. Somit wiederholt sich dieser Speicherblock siebenmal in den 64 KByte, die der Prozessor insgesamt ansprechen kann.

Die erweiterte Dekodierung meiner Karte hat die Aufgabe, eine Speichererweiterung über die vorhandenen 8 KByte hinaus zu ermöglichen und einen frei wählbaren Speicherbereich in das 64 KByte zu kopieren, um so die Interrupt- und Reset-Verarbeitung sicherzustellen.

Hierzu benötigt man zwei weitere Dekoder des Typs 74145 (J4 und J5). J5, dessen Eingänge an a13 bis a15 liegen, dekodiert die oberen und die unteren 8 KByte des Systems, sein Ausgang Ø (J5,1) liegt am Eingang d des KIM-Dekoders. Somit wird eine Wiederholung dieses Bereichs nicht mehr zugelassen, allerdings ist jetzt auch kein Reset mehr möglich.

Der Ausgang J5,9 liegt am Eingang d des dritten Dekoders J4, dessen Ausgang J4,9 das oberste 1 KByte $\overline{K63}$ dekodiert.

Schaltet man nun mit einem DIP-Schalter diesen Ausgang auf die vom KIM kommenden Dekoder-Signale (KØ, K2, $\overline{K4}$ oder $\overline{K7}$ wird dieses 1 KByte in $\overline{K63}$ kopiert, der Prozessor findet die Interrupt-Adressen und beginnt, ist $\overline{K7}$ eingeschaltet, mit dem KIM-Monitorprogramm. Bei eingeschaltetem $\overline{K2}$ oder $\overline{K4}$ startet beim Reset ein Anwenderprogramm, dessen Startadresse aus dem oberen Speicherbereich des betreffenden EPROM geholt wird. Zum Testen von verschiedenen Resets vor dem Einbrennen in ein EPROM wird der mit $\overline{KØ}$ bezeichnete RAM-Bereich des KIM verwendet.

Wahrheitstabellen

Chip-select-Signale:

J1,1 $\overline{K1}$	J1,2 $\overline{K2}$	J1,4 $\overline{K3}$	J1,5 $\overline{K4}$	J1,3 $\overline{CS}$,J10	J1,6 $\overline{CS}$,J11
L	H	H	H	L	H
H	L	H	H	L	H
H	H	L	H	H	L
H	H	H	L	H	L
H	H	H	H	H	H

Verknüpfung von $\overline{KØ}$, $\overline{K5}$, $\overline{K6}$, $\overline{K7}$:

J2,1	J2,2	J2,4	J2,5	J3,11
L	H	H	H	H
H	L	H	H	H
H	H	L	H	H
H	H	H	L	H
H	H	H	H	L

Erzeugung von $\overline{MEM\ W}$

J3,1 $\overline{RAM\ W}$	J3,2 von J3,11	J3,3 $\overline{MEM\ W}$
H	H	H
H	L	H
L	H	H
L	L	L

Identisch mit $\overline{MEM\ R}$-Erzeugung.