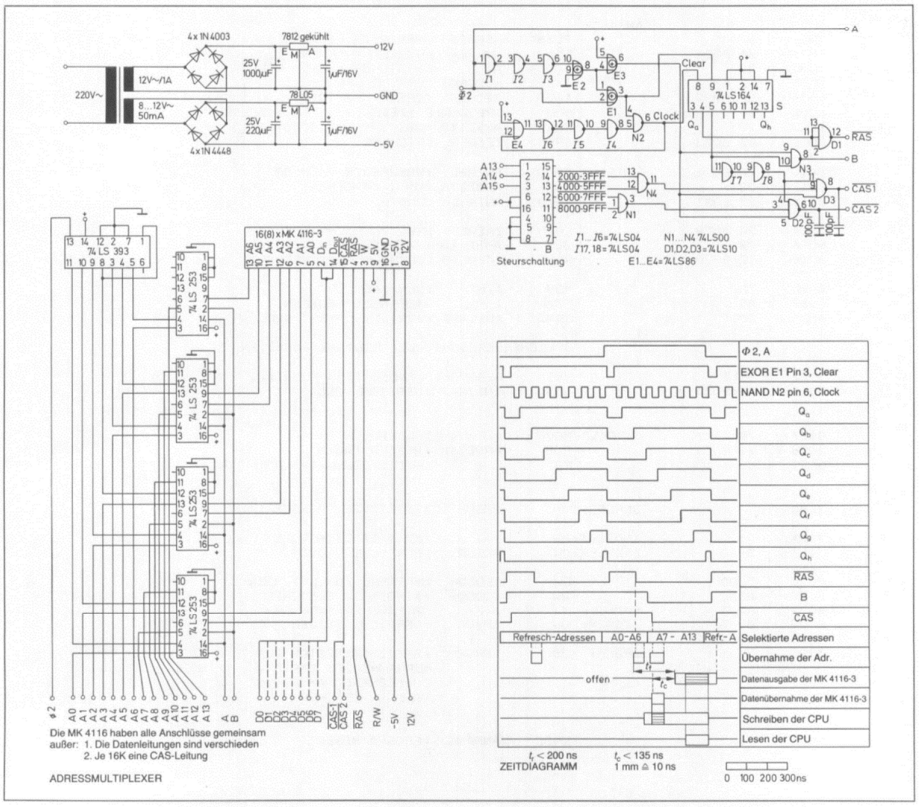
Dieter Nagel

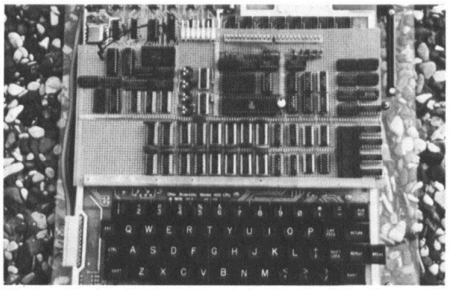
Dynamische Schreib-Lese-Speicher für 6502-Systeme

Dem Entwurf der folgenden Schaltung ging der Wunsch des Autors voraus, den RAM-Bereich des Superboard II möglichst preiswert zu erweitern. Bei der Kalkulation der Kosten kam der Autor zu der Feststellung, daß die Speichererweiterung mit dynamischen Schreib-Lese-Speicher MK4116-3 (16K × 1 Bit) ca. um den Faktor 4 preiswerter als mit den statischen Speichern 2114-4 (1K × 4 Bit) zu erreichen sein müßte.

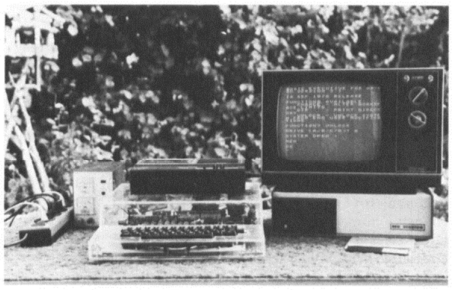
Gegenüberstellung

Bei der Verwendung von dynamischen Speicher kann sicherlich auf eine Bufferung der Daten- und Adressenleitungen verzichtet werden; der Datenbus wird lediglich mit 2 (1 bei 16K) Eingangs- und 2 (1) Ausgangsleitungen pro Bit verbunden. Die Adressenleitungen werden nur mit den Eingängen der Adressenmultiplexer belastet. Der Aufwand für die Dekodierung der Chip-Select-Eingänge ist aufgrund der „längeren" Organisation geringer. Der Stromverbrauch ist niedriger, speziell die vorhandene 5-V-Spannungsquelle wird kaum belastet. Sie dient lediglich als Referenzspannung für die Eingänge und muß nur die Ströme der Datenausgänge liefern. Zusätzlich werden jedoch die Spannungen +12 V und −5 V benötigt. Die eigentliche Betriebsspannung ist +12 V, sie wird mit 500 (250) mA belastet. In der −5-V-Leitung fließen höchstens 10 mA. Die für die vollständige Adressierung der 4116 not-





Platine für die DRAM (dynamische Speicher)



Gesamtaufbau des Systems vom Autor

wendigen 14 Adressenleitungen werden nacheinander als sieben Reihen- und sieben Spaltenadressen in die Speicher übernommen. Hierzu ist ein Umschalten der Adressenleitungen notwendig (Multiplex-Betrieb). Außerdem müssen innerhalb von 2 ms alle integrierten Kondensatoren, die die Information speichern, nachgeladen werden. Deshalb ist eine spezielle Steuerschaltung notwendig.

Kurze Beschreibung der zeitlichen Abläufe bei dynamischen Speicher: Der MK4116 besitzt zwei Steuereingänge: $\overline{RAS}$ und $\overline{CAS}$. Diese Eingänge sorgen dafür, daß die Signale an den sieben Adresseneingängen als Reihen- (Row) oder als Zeilenadressen (Column address) gespeichert werden. Dies geschieht bei einer negativen Flanke am jeweiligen Steuereingang. Diese Eingänge steuern außerdem den Zeitpunkt, bei dem die Information am Dateneingang eingelesen wird, und den Zeitpunkt und die Dauer, wann am Datenausgang die Information anliegt. Deshalb müssen die zeitlichen Abläufe der beiden Steuereingänge sehr genau eingehalten werden. Der integrierte Kondensator verliert natürlich durch Leckströme seine Ladung; deshalb muß er nachgeladen werden. Innerhalb von 2 ms muß jede Reihenadresse mindestens einmal angesprochen werden; bei sieben Reihenadressenleitungen ergeben sich $2^7 = 128$ Kombinationen. Während des normalen Betriebs des Computers ist dies nicht sicher gewährleistet. Deshalb muß ein zusätzlicher Nachladezyklus (Refresh cycle) aufgenommen werden.

Beschreibung der Steuerschaltung

Sämtliche Zeiten werden aus dem Ø2-Signal abgeleitet, es müßte an jedem Expansionsbus zur Verfügung stehen. Während die CPU 6502 mit internen Umwandlungen beschäftigt ist, d.h., während Ø2 = „0", wird der Refresh-Zyklus durchgeführt. Während der aktiven Phase, Ø2 = „1", kann die Kommunikation zwischen der CPU und dem Speicher normal durchgeführt werden. Mit den Invertern I4, I5, I6, dem als Inverter geschalteten EXOR E4 und dem NAND-Gatter N2 ist ein freischwingender Oszillator aufgebaut. Aufgrund der Laufzeiten der Gatter ergibt sich eine Frequenz von 16 MHz. Mit den Invertern I1, I2, I3, dem als Puffer geschalten EXOR E2 und dem EXOR E1 ergeben sich Impulse einer Länge von 40 ns bei jeder Flanke des Ø2-Signals. Diese Impulse synchronisieren den 16-MHz-Oszillator. Gleichzeitig löschen diese Impulse das Schieberegister S. Das 16-MHz-Signal taktet das Schieberegister. Nach n × 60 ns geht der n-te Ausgang (Q_a bis Q_h) von „0" nach „1"; an Q_b erfolgt die positive Flanke nach ca. 140 ns und an Q_c nach etwa 200 ns. Das $\overline{RAS}$-Signal ist somit 150 ns nach jedem Wechsel von Ø2 bis zum nächsten Wechsel aktiv (≙ „0"). Die Signale $\overline{CAS\text{-}1}$ und $\overline{CAS\text{-}2}$ sind 230 ns nach der positiven bis zur nächsten negativen Flanke aktiv (≙ „0"); natürlich nur sofern die Adressenbereiche angesprochen werden, d.h. $\overline{Y1}$, $\overline{Y2}$, $\overline{Y3}$ oder $\overline{Y4}$ = „0". Während Ø2 = „0" werden die Refresh-Adressen mittels des Steuersignals A auf die Adresseneingänge der Speicher geschaltet. Wenn Ø2 = „1" ist, werden zuerst die Reihenadressen selektiert (B = „1"). Kurz vor dem $\overline{CAS}$-Signal wird B = „0", d.h., die Adressenmultiplexer schalten jetzt die Spaltenadressen durch. Die Refresh-Adressen werden vom 8-bit-Binärzähler geliefert; somit wird innerhalb von 128 µs jede dekodierte Reihenadresse mindestens einmal angesprochen.

Problematik der Schaltung

Durch die $\overline{RAS}$- und $\overline{CAS}$-Signale wird der zeitliche Ablauf für die Datenein- und -ausgänge bestimmt. Deshalb ist es notwendig, daß die Verzögerungen vom Ø2-Signal zum $\overline{RAS}$- und $\overline{CAS}$-Signal (150 bzw. 230 ns) genau eingehalten werden. Auch müssen die Refresh- und Reihenadressen vor dem $\overline{RAS}$-Signal und die Spaltenadressen vor dem $\overline{CAS}$-Signal sicher anliegen. Aufgrund von Bauteiletoleranzen, speziell I4, I5, I6, E4 und N2, kann es zu einem Fehlverhalten im zeitlichen Ablauf kommen. Beim Nachbau dieser Schaltung sollte deshalb zuerst die Steuerschaltung aufgebaut werden. Wenn der Oszillator etwas schneller schwingt, kann man sich damit behelfen, daß man das $\overline{RAS}$-Signal von Q_c und das $\overline{CAS}$- und B-Signal von Q_d herleitet. Bei einem zu langsamen Oszillator kann man entsprechend Q_a und Q_b verwenden. Es ist notwendig, daß das $\overline{RAS}$-Signal mindestens 120 ns „1" bleibt. Die Signale sollten mit einem Oszilloskop kontrolliert werden. Wenn die Steuerschaltung funktioniert, können die Adressenmultiplexer und der 8-bit-Binärzähler aufgebaut werden. Man sollte zunächst nur einen MK4116-3 (also nur eine Datenleitung) benutzen und die Schaltung ausprobieren. Sämtliche TTL-Bausteine sollten als LS-Typen verwendet werden. Für ca. je vier TTL-Bausteine (abhängig von der Verdrahtung und der räumlichen Anordnung) sollte ein 100-nF-Kondensator zur Siebung der Versorgungsspannung benutzt werden. Es sollten außerdem die drei Spannungen der RAM-IC mit je einem 100-nF-Kondensator gegen Masse an jedem IC geschaltet werden.

Weitere Möglichkeiten

Diese Steuerschaltung kann für die CPU 6502A mit einer Taktfrequenz von 2 MHz nicht verwendet werden. Es müßte aber mit einer anderen Steuerschaltung möglich sein, die CPU alle 2 ms anzuhalten und dann alle Reihenadressen anzusprechen. Diese Methode bezeichnet man als Burst-Refresh.