Die Probleme der Adreßdekodierung bei einem Mikrocomputer reduzieren sich im wesentlichen auf die Frage: "Wo, wann und wie kann ich auf einen Speicher zugreifen?" Diese Frage haben wir im Dezember-Heft 83 (Adreßdekodierung) erst zum Teil beantwortet. Mit dem "Wann?" wollen wir uns in diesem Artikel beschäftigen. Außerdem wird ein Beispiel gegeben, wie man in eine bereits existierende Adreßdekodierung eingreift.

Signal & Zeit

Steuersignale wie am Schnürchen

Durch die logische Verknüpfung von hochwertigen Adreßleitungen kann ein Freigabe-Signal erzeugt werden, das nur für eine bestimmte Anzahl von Leitungs-Kombinationen aktiv ist. Wie wir schon in dem Artikel Adreßdekodierung gesehen haben, wird dieses Signal auf einen oder mehrere Speicherbereiche gegeben, auf die man über die niederwertigen Adreßleitungen, die den IC-internen Adreßdekoder steuern, zugreifen kann. Die Daten werden über den Datenbus übertragen. Egal wie hoch die Taktfrequenz eines Prozessors ist, die Adreß- und Datensignale erscheinen nie sofort oder gleichzeitig. Es dauert immer noch ein Weilchen, bis die Daten auf dem Bus gültig sind, und sie erscheinen in einer genau definierten zeitlichen Reihenfolge. Dem Entwickler wird seine Arbeit dadurch nicht gerade erleichtert, aber glücklicherweise gibt es noch die vom Prozessor selbst erzeugten Steuersignale, mit denen Adreßdekodierung und Schreib- oder Lesevorgänge synchronisiert werden.

Zeitablauf der Signale für Z80 und 6502

Wie das Impulsdiagramm aus Bild 1 zeigt, erscheinen die Steuersignale MREQ, RD und WR des Z80 nicht direkt am Anfang von Lese- und Schreibzyklen. Solange, wie die Signale MREQ und RD im Verlauf eines Lesezyklus nicht logisch 0 sind (linke Hälfte des Diagramms), können die Adreßsignale A0 . . . A15 nicht als stabil angesehen werden. Das gleiche gilt für einen Schreibzyklus, solange MREQ nicht aktiv ist. Das Adreßdekodierungs-Signal muß also immer mit dem Signal MREQ verknüpft werden, bevor es als Freigabe-Signal auf eine Speicherschaltung gegeben werden kann.
In der rechten Hälfte des Impulsdiagramms (Bild 1) erscheint das Signal WR viel später als MREQ und als der Beginn der "Ruhephase" (das ist die Phase, in der die Datensignale noch nicht gültig sind). Die Datensignale sind erst stabil, wenn das Signal WR erschienen ist. Anzumerken wäre noch, daß die Leitung WR eine halbe Taktperiode vor Änderung der Adreß- und Datenworte (T3 des Schreibzyklus) inaktiv wird. Man kann das Signal WR so wie es ist auch verwenden, um den Speicher vom Lese- in den Schreibzyklus zu bringen und umgekehrt (R/W).
Bild 2 ist das Impulsdiagramm (Z80) für einen Ein/Ausgabe-Befehl. Eine Besonderheit ist der Wartezyklus T_W, der vom Prozessor selbst erzeugt wird, und es den langsameren Ein/Ausgabe-Schaltungen ermöglicht, falls nötig, ein WAIT-Signal zu erzeugen. Auch hier sind die Adreß- und Datensignale erst garantiert stabil, wenn die Steuersignale anliegen.
Mit Bild 3 kommen wir zum 6502. Das wichtigste Freigabe-Signal ist Φ 2. Ist dieses Signal einmal logisch 1, sind die Adreßsignale, und kurz darauf auch die Datensignale, stabil. Das gleiche gilt für einen Wechsel von Schreib- und Lesezyklus mit dem Signal R/W. Da dieser Prozessor keine speziellen Befehle für Ein/Ausgabe hat, existiert natürlich auch kein Steuersignal für diese Art von Schaltung.
Bei Systemen mit einem 6502 findet sich häufig ein RAM-R/W-Signal, das durch

1

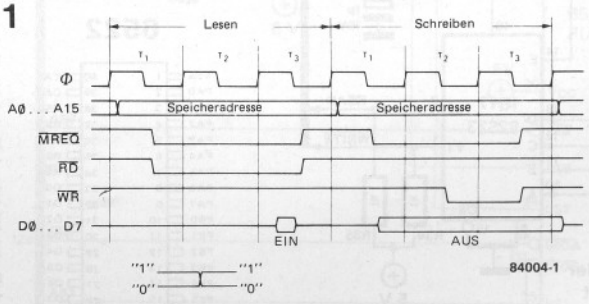


Bild 1. Das Impulsdiagramm des Z80 zeigt, daß die Daten- und Adreßinformationen nur für eine begrenzte Zeit innerhalb eines Lese- oder Schreibzyklus zur Verfügung stehen.

2

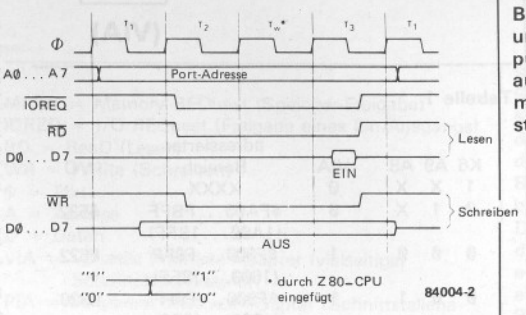


Bild 2. Der Z80 erzeugt ein IORQ-Signal speziell für die Ein/Ausgabe-Befehle. Obwohl Lese- und Schreibzyklus im Impulsdiagramm gleichzeitig auftreten, können sie niemals gleichzeitig stattfinden.

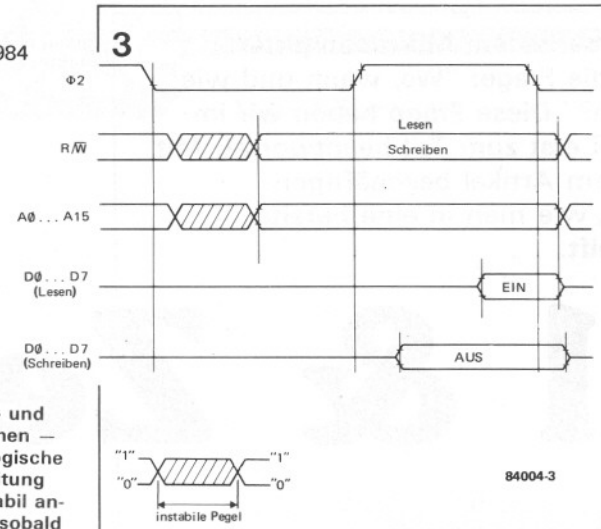


Bild 3. Die Adreß- und Datensignale können — ebenso wie der logische Pegel der R/W-Leitung des 6502 — als stabil angesehen werden, sobald das Φ 2-Signal selbst logisch 1 wird.

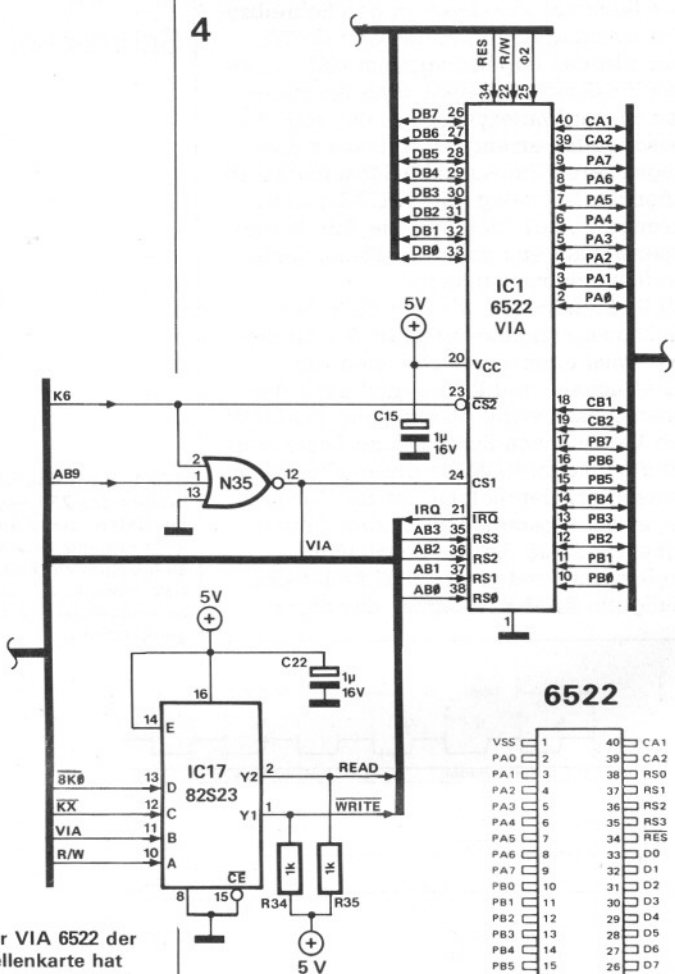


Bild 4. Der VIA 6522 der Schnittstellenkarte hat eine ziemlich umfangreiche Adressierung. Mit ein paar kleinen Änderungen der existierenden Schaltung kann der doppelt adressierte Bereich verkleinert werden.

Tabelle 1.

K6	A9	A8	VIA	adressierter Bereich	I/O
1	X	X	0	XXXX	
0	1	X	0	$FA00 . . . FBFF (1A00 . . . 1BFF)	6532
0	0	0	1	$F800 . . . F8FF (1800 . . . 18FF)	6522
0	0	1	1	$F900 . . . F9FF (1900 . . . 19FF)	6520

Tabelle 1. Die neue Adreßdekodierung für die Ein/Ausgabeeinheit des Junior-Computers zeigt, wie der Speicherbereich auf die drei ICs aufgeteilt wird.

Verknüpfen von Φ 2 und R/W gewonnen wird. Dieses Signal kann man gleich auf die Speicher geben, um vom Lese- in den Schreibzyklus zu gehen. Bei ROMs (und EPROMs) wird Φ 2 mit dem Adreßdekodierungssignal (auf der Schnittstellenkarte des Junior-Computers braucht man dazu N41 und N44) verknüpft. Bei den Ein/Ausgängen sind verschiedene Verknüpfungen von Φ 2, R/W und dem Adreßdekodierungssignal möglich. Das Signal R/W (und möglicherweise Φ 2) muß auch zum Umschalten der bidirektionalen Datenpuffer verwendet werden. Auf der Schnittstellenkarte des Junior werden die Signale zum Umschalten zwischen READ und WRITE unter anderem vom R/W-Signal abgeleitet. Für einen Entwickler ist nur eines wichtig: die Chronologie der Steuersignale zu beachten.

Änderung einer Dekodierung

Nach so vielen theoretischen Erklärungen, kommen wir jetzt zu einem praktischen Beispiel. Es soll eine bestehende Adreßdekodierung, genauer gesagt, die der Schnittstellenkarte des Junior, geändert werden. Ziel der "Operation" ist es, die Wertigkeit der doppelt adressierten Speicherzone F800 . . . F9FF zu verringern. Beim Junior ohne Plattenbetriebssystem (DOS) muß die Adresse F durch eine 1 ersetzt werden. Den freigewordenen "Platz" kann man zum Adressieren einer weiteren Ein/Ausgabe-Einheit verwenden.
Tatsächlich ist es überhaupt nicht einzusehen, warum der VIA 6522 (IC1 auf der Schnittstellenkarte) die Adressen F800 . . . F9FF besetzt, wo doch schon 16 Adressen reichen, um auf alle Register dieser Schaltung zugreifen zu können. Das Signal K6 ist im Bereich F800 . . . FBFF aktiv. Mit der Leitung A9 wird dieser Bereich in die Zone F800 . . . F9FF für den VIA und die Zone FA00 . . . FBFF für den 6532 der Basisplatine aufgeteilt. Jetzt wäre es natürlich sehr interessant, die nicht verwendeten Adressen "zurückzuholen", und zwar mit möglichst geringem Aufwand.
In Bild 4 sieht man einen Teil der ursprünglichen Schnittstellenkarte mit dem VIA, dem Gatter N35 und dem PROM IC17. Das Signal K9, das auf den Eingang CS2 gegeben wird, ist zwischen F800 und FBFF aktiv, während der Eingang CS1 ein Signal erhält, welches wir VIA genannt haben. Dieses Signal entsteht durch Verknüpfung der Signale K6 und AB9 und ist bei logisch 1 im Bereich F800 und F9FF aktiv. Das VIA-Signal wird auch auf das PROM IC17 gegeben und gibt damit auch die Pufferstufen bei Lese- oder Schreiboperationen frei, wenn Adreßsignale auf dem Bus vorhanden sind.
In Bild 5 sind diese Bausteine auch zu sehen, hinzugekommen sind ein neuer PIA 6520 und ein kleine Änderung in der Adreßdekodierung.
Das Signal VIA hat sich nicht geändert; es wird immer auf den Eingang CS1 des 6522 und auf das PROM gegeben. Wenn dieses Signal nämlich geändert würde, änderte sich damit automatisch die Freigabe der

bidirektionalen Pufferstufen. Das Signal CS2 des 6522 wird ab sofort von AB8 geliefert, so daß der VIA nur noch die Adressen F800 . . . F8FF beansprucht. Außerdem wird die Leitung AB8 mit dem Eingang CS0 des PIA 6520 verbunden; der Eingang CS1 des PIA erhält ebenfalls das VIA-Signal (aktiv bei logisch 1, genau wie CS0). Der dritte Freigabe-Eingang des 6520, CS2, wird durch das Signal AB9 freigegeben, so daß der PIA die Adressen F900 . . . F9FF erhält. Diese Schaltung kann überall eingebaut werden, aber auf jeden Fall von den bidirektionalen Pufferstufen (IC11 und IC12 der Schnittstellenplatine). Tabelle 1 veranschaulicht in einer Wahrheitstabelle noch einmal die Funktionsweise der Schaltung.

Wenn man den neuen PIA nicht auf der Busplatine unterbringen will, kann er direkt über den 6522 der Schnittstellenkarte gelötet werden. Das ist handwerklich zwar etwas kniffelig, ansonsten aber die einfachste Möglichkeit. Die beiden ICs haben folgende Leitungen gemeinsam: DB0 . . . DB7 (Anschlüsse 33 . . . 26), RES (Anschluß 34), Φ 2 (ENABLE; Anschluß 25), +5 V (Anschluß 20) Masse (Anschluß 1), R/W (Anschluß 22 des 6522, Anschluß 21 des 6520), RS0 (A0; Anschluß 38 des 6522, Anschluß 36 des 6520), und IRQ (Anschluß 21 des 6522, Anschlüsse 37 und 38 des 6520).

Die Verbindung zwischen Leitung K6 und Anschluß 23 des 6522 (CS2) muß unterbrochen werden; statt dessen wird dieser Anschluß mit AB8 verbunden. Der Anschluß 23 des 6520 (CS2) wird mit der Leitung AB9 verbunden; Anschluß 24 des 6520 (CS1) mit der Leitung VIA (Anschluß 24 des 6522); Anschluß 22 des 6520 (CS0) mit Leitung AB8 (Anschluß 23 des 6522).

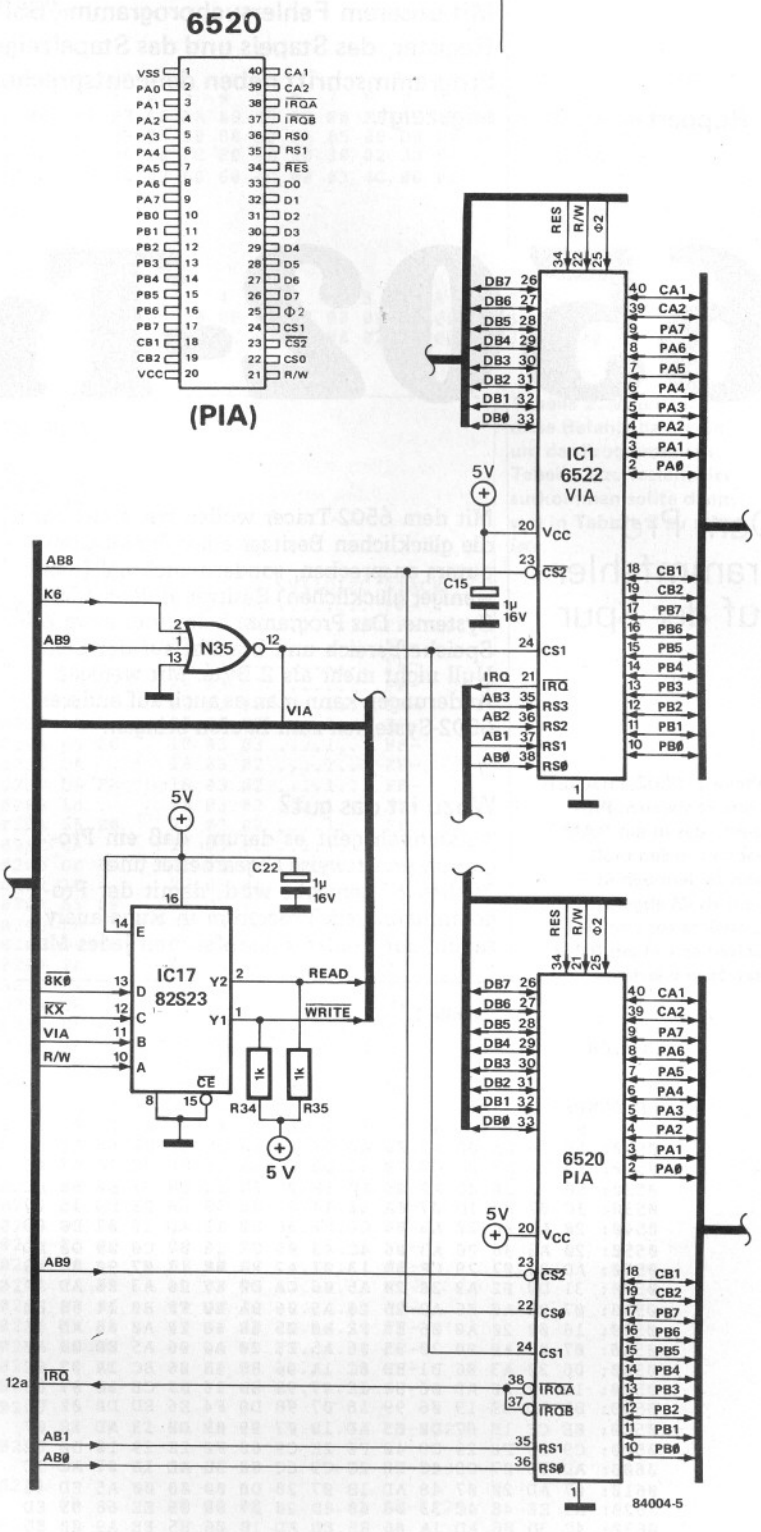
Schließlich noch ein paar Anmerkungen zu den Zugriffsmöglichkeiten auf den PIA 6520.

Die Adressierung sieht jetzt so aus:
F900: PAD oder PADD (Daten- oder Daten-Richtungs-Register)
F901: CRA (Steuerregister für Port A)
F902: PBD oder PBDD (Daten- oder Daten-Richtungs-Register)
F903: CRB (Steuerregister für Port B)

Wenn das Bit für CRA logisch 1 ist, muß die Registeradresse in F900 PAD sein. Ist dieses Bit logisch 0, wird das Adreßregister in F900 PADD. Mit CRB (F903), PBD und PBDD (F902) ist es das gleiche.

Abgesehen von diesen Besonderheiten arbeiten die Ports des 6520 und des 6522 im wesentlichen gleich. Wer genaueres über den 6522 wissen will, kann ja mal im VIA-Buch von Elektor nachlesen.

Quelle: Die Impulsdiagramme aus diesem Artikel sind Dokumentationen von Synertec (6502) und Mostek (Z80) entnommen. Wir können keine absoluten Zeitangaben machen, weil diese je nach Taktfrequenz und Art der CPU schwanken. Weitere Informationen findet man in speziellen Applikations-Broschüren von Synertec, Mostek, Rockwell usw.



MREQ = Memory REQuest (Speicher-Freigabe)
IOREQ = I/O REQuest (Freigabe eines Ein/Ausgangs)
RD = ReaD (Lesen)
WR = WRite (Schreiben)
Φ = Takt
A = Adresse
D = Daten
VIA = Versatile Interface Adapter (vielseitiger Schnittstellenadapter)
PIA = Peripheral Interface Adapter (Schnittstellenadapter für Peripheriegeräte)

Bild 5. Wenn man das Signal AB8 (anstelle von K6) auf den Eingang CS2 des VIA 6522 gibt, wird der doppelt adressierte Bereich, den dieses IC beansprucht, zweigeteilt. Die zweite Hälfte kann dazu verwendet werden, eine neue Ein/Ausgabeeinheit (hier einen PIA 6520) oder einen zweiten VIA 6522 zu adressieren.