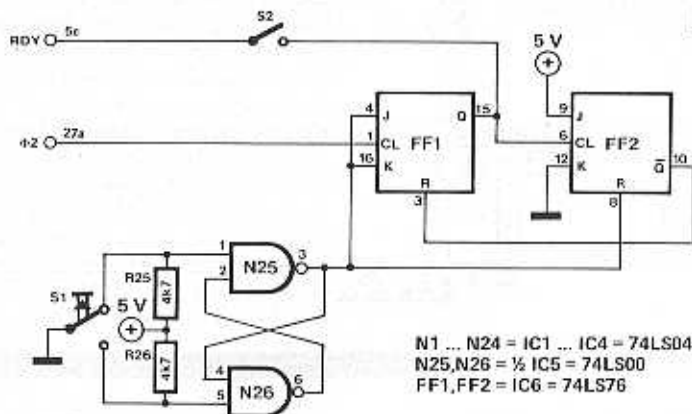


Single Cycle für Junior-Computer

Logik-Analyse zum Spartarif

mit dieser Zusatzschaltung läßt sich der Junior-Computer im Single-Cycle-Modus betreiben. Im Gegensatz zum Single-Step-Betrieb wird im Single-Cycle-Modus nicht ein ganzer Befehl, sondern nur ein einziger Clock-Zyklus abgearbeitet. Eine ideale Voraussetzung für die Analyse logischer Vorgänge auf dem Bus. Für diese Aufgabe ist eine Auswerteschaltung vorgesehen. Diese beiden Schaltungen – Single-Cycle-Erweiterung und Bus-Auswerteschaltung – erleichtern das Aufspüren von Hard- und Softwarefehlern ganz erheblich. Insbesondere bei Fehlerhalten nach der Inbetriebnahme dürfte die hier beschriebene Logik-analyse-Hilfe von großem Wert sein. Nach einem Reset-Signal befindet sich die CPU in einem definierten Zustand. Übt man Einzeltakte mit S1, so beginnt die CPU mit der Ausführung des Reset-Zyklus (8 Takte), nach diesen 8 Takten liegen die beiden Reset-Vektoren RESL (FFFC) und RESH (FFFD) auf dem Adreßbus, das Programm wird dann ab diesen Adressen abgearbeitet. Über die Ausführung der einzelnen Befehle informiert das "MCS 6500 Micro-Computer Family Hardware Manual" (Intel Technology), von Rockwell. Übt es ebenfalls ein solches Hardware-Buch. Zu beachten ist, daß die CPU bei einem Schreibbefehl nicht stoppt.



E. Kytzia

N1 ... N24 = IC1 ... IC4 = 74LS04
N25, N26 = 1/2 IC5 = 74LS00
FF1, FF2 = IC6 = 74LS76

