48K dynamische RAM-kaart
universeel voor 1802

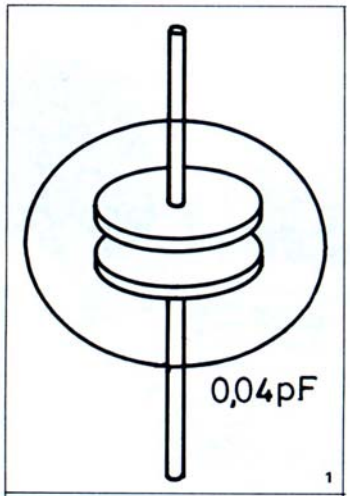
H.B. Stuurman

Wanneer men met Basic, Forth, editors enz. wil gaan werken heeft men veel geheugen nodig. Het is niet zinvol dit samen te stellen uit 4K-geheugenkaartjes. Een goedkopere en betere oplossing is om dynamische RAM-IC's te gebruiken.

De industriestandaard 4116 is een 16K × 1 dynamische RAM-chip. Met acht van deze IC's met 16 pennen heeft men 16 Kbyte en met 24 IC's 48 Kbyte. De dynamische RAM-kaart voor de 1802 past in een busconnector van de Cosmicos-computer. Ook bij andere 1802-systemen is de kaart gemakkelijk te gebruiken. Het aansluiten gebeurt dan met 24 draadjes.
Opmerkelijk is de eenvoud van de dynamische RAM-kaart. Dit komt doordat een speciaal IC voor de timing en refresh is gebruikt: de Intel 8202. Aangezien deze controller en de geheugen-IC's functioneel een zelfstandige eenheid vormen is, door aanpassing van de adresseringslogica, gebruik bij bijv. KIM- of Juniorcomputers zeker mogelijk. Men behoeft voor bovengenoemd gedeelte geen print te ontwerpen. Een klusje dat niet mis is.

Wat is eigenlijk een dynamische RAM?

Een dynamische RAM is een geheugen-IC dat voortdurend moet worden geadresseerd. In afb. 1 ziet men het geheugenelement waarop de dynamische RAM is gebaseerd. Inderdaad, dit is een condensator en nog wel een héle kleine, zowel wat afmetingen als capaciteit betreft. De afmetingen zijn zo klein dat je hem niet kunt zien zonder

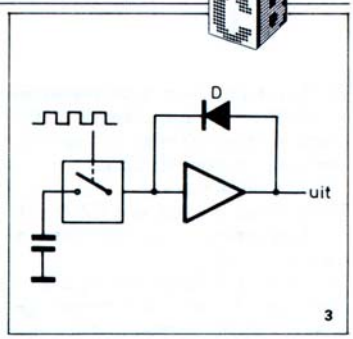


microscoop en de capaciteit bedraagt slechts 0,03 à 0,05 pF, afhankelijk van de fabrikant.
Het zal geen verbazing wekken dat zo een condensator zeer goedkoop is, veel goedkoper dan bijv. het flipflopgeheugenelement in een statische RAM als de 2114. Ook gebruikt een condensator geen energie. Men mag dus verwachten dat dynamische RAM's goedkoper zijn dan statische, dat ze minder vermogen gebruiken en dat er per chip meer geheugenelementen zijn (grotere „density"). Inderdaad is een geheugen met dynamische RAM's goedkoper, het gebruikt 10× minder vermogen en de chipdichtheid is 4× groter dan een evengroot geheugen gebouwd met statische RAM's.
Waarom worden ze dan niet altijd gebruikt? Wel, er zijn ook nadelen! Nadelen die zo groot zijn dat men voor geheugens tot ca. 16K liever statische RAM's gebruikt.
Om dit in te zien is het nodig iets van de werking van een dergelijk dynamische RAM te begrijpen.

Hoe werkt een dynamische RAM?

In afb. 2 is geheugencondensator C via een elektronische schakelaar, ook wel transmission gate (TG) genoemd, met de ingang van een versterker verbonden. De TG kan worden gesloten of geopend door middel van een schakelsignaal op S. Als de schakelaar wordt gesloten en er staat, tengevolge van een lading, spanning over C dan neemt de uitgang van de versterker een logische „1"-toestand aan. Staat er geen spanning over C dan is de versterkeruitgang „0".
De versterker tast dus de toestand af die de condensator heeft en zet deze om in een bruikbaar signaal. Deze versterker heet dan ook „sense"-versterker (to sense betekent aftasten).
Als de schakelaar open is „zweeft" de bovenkant van de condensator. Geen enkele condensator is lekvrij, ook deze niet. Zonder verdere maatregelen zou de lading snel weglekken èn daarmee de informatie die we juist willen bewaren. Het is noodzakelijk een voorziening te treffen die de lading van C op peil houdt of in ieder geval steeds weer op peil brengt. In afb. 3 is een dergelijke voorziening aangebracht. Het is een diode tussen de uit- en ingang van de versterker. Als de

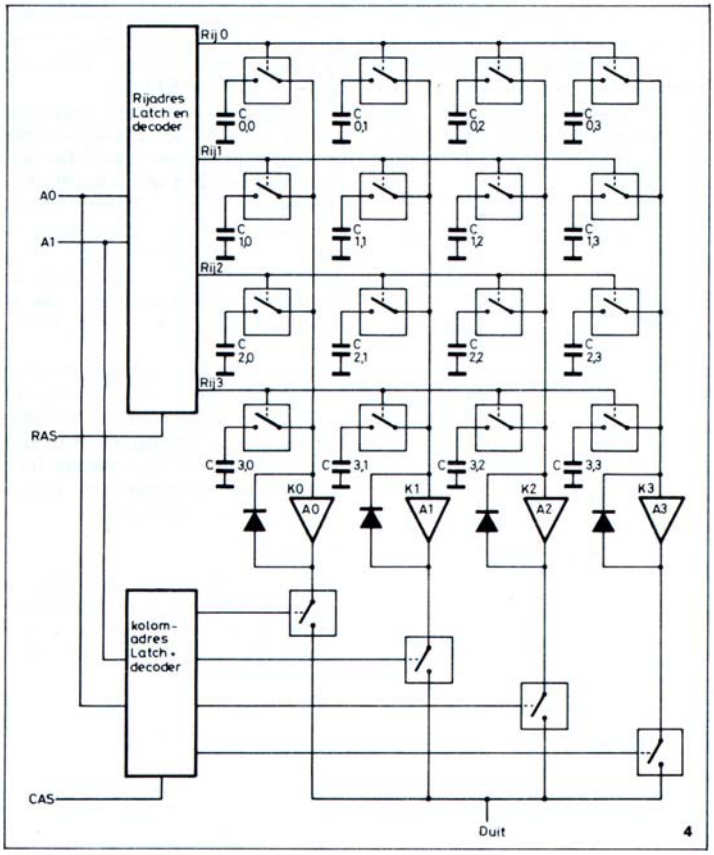
Afb. 1 Geheugenelement van een dynamische RAM gezien door de ogen van een MK-kunstenaar.
Afb. 2 Door middel van de versterker wordt het zwakke condensatorspanninkje omgezet in een bruikbaar signaal.
Afb. 3 Door de uitgang van de versterker via een diode met de condensator te verbinden en de schakelaar periodiek even te sluiten wordt steeds de lading weer op peil gebracht, refreshen.
Afb. 4 Mogelijke opbouw van een 16 × 1 bit dynamische RAM. Let op de verdeling in rijen en kolommen. De schrijfoptie die hier voor de duidelijkheid is weggelaten kan gemakkelijk worden gerealiseerd met transmission-gates.



schakelaar wordt gesloten en de condensator heeft lading dan wordt de uitgang van de versterker „1" en via de diode wordt C tot de volle spanning opgeladen. Als de condensator geen lading heeft gebeurt er uiteraard niets. Bij dit alles speelt het omschakelpunt van de versterkeringang een belangrijke rol.
In de praktijk bedraagt het spanningsverschil tussen „0"- en „1"-niveau van de condensator ca. 70 mV en aan de sense-versterker worden dan ook zware eisen gesteld.
Als nu steeds voordat de spanning over de condensator onder het omschakelpunt van de sense-versterker is gekomen de schakelaar even wordt gesloten, dan wordt de condensator bijgeladen en behoudt zijn informatie. Dit geldt voor elke condensator in een dynamisch RAM-IC. De tijdsduur waarbinnen dit dient te gebeuren bedraagt ca. 2 ms. Het op deze wijze in stand houden van de condensatorlading heet „opfrissen" of refresh.
De noodzaak tot refresh is de belangrijkste reden om dynamische RAM's niet te gebruiken.

Opbouw van een dynamische RAM

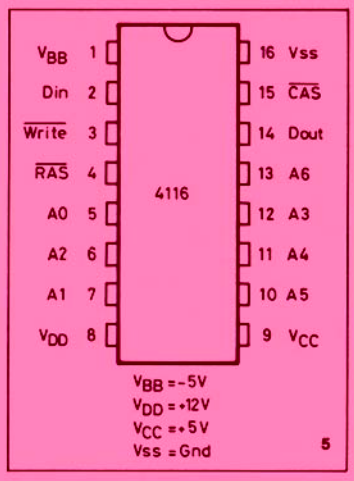
In een dynamische RAM zijn de geheugencondensatoren gerangschikt in rijen en kolommen. Er zijn evenveel rijen als kolommen. In een 4K-IC (4096) bijv. 64 van ieder en in een 16K-IC 128. Op deze wijze wordt het aantal adresseringslijnen zo klein mogelijk gehouden.
In afb. 4 zien we de schakeling van een dynamisch geheugen van 16 × 1. Inderdaad zeer klein, maar voor ons doel toereikend. Er zijn 16 geheugencondensatoren met bijbehorende schakelaars, verdeeld over 4 rijen en 4 kolommen.



De condensatoren kunnen worden aangeduid door aan te geven in welke rij en kolom ze zitten. Zo zit C2,3 op het kruispunt van rij 2 en kolom 3.
De rijen kunnen worden geadresseerd door middel van het rijadres en de kolommen door middel van een kolomadres. Hiertoe is voor zowel het rij- als het kolomadres een aparte latch/decoder opgenomen. Om nu bijv. de data van geheugencondensator C2,1 op de uitgang te zetten moet men:

1. Rijadres 2 op de adresingang zetten (10_B).
2. Een klokpuls geven op de RAS-ingang.
3. Kolomadres 1 op de adresingang zetten (01_B).
4. Een klokpuls geven op de CAS-ingang.

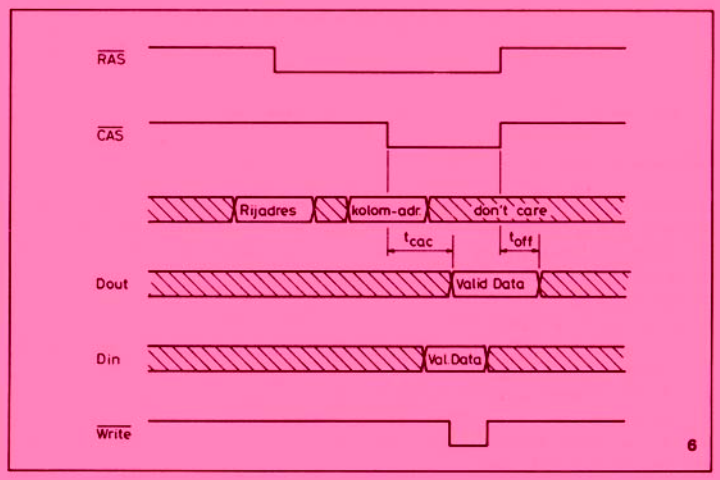
RAS en CAS staan voor respectievelijk Row Address Strobe en Column Address Strobe. In goed Nederlands rijadresklokpuls en kolomadresklokpuls.
Behalve dat de data van C2,1 op de uitgang verscheen is er nog iets anders gebeurd.
Door het inklokken van rijadres 2 zijn alle schakelaars in deze rij gesloten, dientengevolge zijn alle condensatoren in deze rij opgefrist door de in de kolomlijnen opgenomen versterkers.
Om de informatie in ons 16-bits dynamisch geheugen te bewaren behoeven we dus alleen maar iedere rij periodiek te adresseren. Als we op de rijadresingang een binaire teller aansluiten en bij iedere stap, die deze doet, een RAS geven zijn we klaar. Dit heet „RAS only refresh".



Hoe hoog is de refreshfrequentie?
Iedere condensator moet minstens 1× per 2 ms worden gerefreshed. Alle condensatoren op dezelfde rij worden echter gelijktijdig gerefreshed.
Per 2 ms moet de teller eenmaal helemaal rond. Voor ons 16-bits geheugen bedraagt de refreshfrequentie (refresh rate) minimaal 2 kHz (voor 2 ms en 4 rijen).
Voor een 4K-geheugen met 64 rijen en kolommen komt dit neer op 32 kHz en voor 16K met 128 rijen en kolommen op 64 kHz.
Verhoogt het na elkaar invoeren van de rij- en kolomadressen de toegangstijd (access-time)? De toegangstijd wordt door de multiplexadressering niet verhoogd, omdat het enige tijd kost voordat de informatie in de rijen de uitgangen van de senseversterkers heeft bereikt. Zolang de CAS binnen dit tijdsinterval blijft is de toegangstijd constant.
Het periodiek opladen van de condensatoren in een dynamische RAM geeft aanzienlijke stroomstoten in de voedingslijnen. Aan het printontwerp en de ontkoppeling van de voedingslijnen worden dan ook zware eisen gesteld.

De 4116

Het dynamische RAM-IC 4116 is op het ogenblik de industriestandaard. Dit IC wordt door veel fabrikanten gemaakt en hoewel de typenummers kunnen verschillen zijn ze compatibel.
Opmerkelijk is verder dat vooral van Japanse zijde het aanbod de laatste tijd groot is. Zo wordt bijv. door Hitachi de HM4716 geleverd, door Toshiba de TMM416, door NEC de UPD416 en door Fujitsu de MB8116. Mostek maakt behalve de MK4116 een gesel-cteerde versie voor wat men no-mt „personal computing and he-me entertain-ment memories", te weten de MK4215. Geselect-erd wil hier zeggen: niet vol-oen aan de MK4116-specificati-s. Voor ons zijn ze best bruik-aar. De 4116 wordt door Intel gel-verd onder ty-penummer 2117.
Hoewel er een sterk-e trend is naar toepassing van ee-enkele voe-dingsspanning van-V (bijv. Intel 2118, Mostek MK4-16) is dit door de prijs die (nog) e-n veelvoud be-draagt van de uitv-ering met drie spanningen voor o-niet aantrek-kelijk. Temeer daa-, door omvor-merschakelingen, -or de voeding van de 48K dyna-mische RAM-kaart slechts één o-gestabiliseerde spanning nodig is.



In afb. 5 ziet men d-aansluitingen van de 4116. Er zij-drie voedings-spanningen nodig, namelijk −5, +5 en +12 V. De -egatieve span-ning dient voor he- isoleren van het substraat en nee-nt slechts wei-nig stroom vraagt de +5V-voed-einig stroom tend nodig is als re-ng die uitslui-voor de in- en uitga-erentieniveau De „echte" voeding gsspanningen. V. Per IC bedraagt-omt van de 12 stroom in de para-de opgenomen 2 mA en tijdens ad-ttoestand ca. fresh ca. 30 mA. -essering of re-stroom voor +5 en -e opgenomen meten in µA. 5 V wordt ge-Er zijn zeven adre-aansluitingen A0-A6. Hierop wor-len de rij- en kolomadressen gem-ltiplext toege-voerd met als kloks-malen RAS en CAS (RAS, CAS en-WE zijn nega-tief waar). Effectie-zijn er dus 14 adressen (2^{14} = 163-4 bits).
In het timingdiagr-m van afb. 6 wordt het verband -etoond tussen het aangeboden ad-es en RAS en CAS en na de -AS-klok ver-schijnt de data op D_{out}. Die blijft aanwezig tot CAS w-er hoog wordt. Wenst men te schri-en dan wordt, terwijl RAS en CA-laag zijn, een

Afb. 5 Aansluitgegevens van de dynamische RAM type 4116, de industriestandaard.
Afb. 6 De rij- en kolomadressen worden gemultiplext toegevoerd. Voor de rijen dient het RAS-kloksignaal en voor de kolommen het CAS-kloksignaal.
Afb. 7 Aansluitgegevens van de dynamische RAM-controller van Intel, de 8202.

ed als het
ogelijk om
met bijv.
Om echter
ituaties te
ondities is

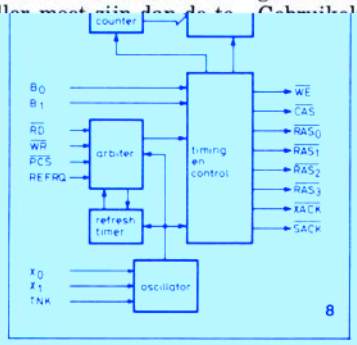
[-

n Intel

IC, dat de
ynamische
ervoor dat

voor de processor het dynamische geheugen eruit ziet als ware het statisch. De 8202 verzorgt zelfstandig de refresh, het multiplexen van de adressen en de CAS- en RAS-timing. Het is een bipolair IC, dat wil zeggen dat in de schakeling transistoren worden gebruikt. Dit spruit voort uit het feit dat een con-

bestaan. Er zijn 14 adresingangen die men heeft verdeeld in twee groepen van zeven, namelijk een hoge groep en een lage. De twee groepen worden na elkaar op de adresuitgangen gezet. Dat deze uitgangen zijn geïnverteerd heeft voor de werking verder geen consequenties. De hoge groep vormt het kolomadres en wordt door CAS in de dynamische RAM's geklokt. De lage groep vormt het rijadres. Dit wordt door één van de vier RAS-uitgangen in



een bank van acht dynamische RAM's geklokt. Welke RAS dit is wordt bepaald door de bankselect-ingangen B0 en B1. Deze ingangen worden inwendig gedecodeerd en gecombineerd met de RAS-klok.

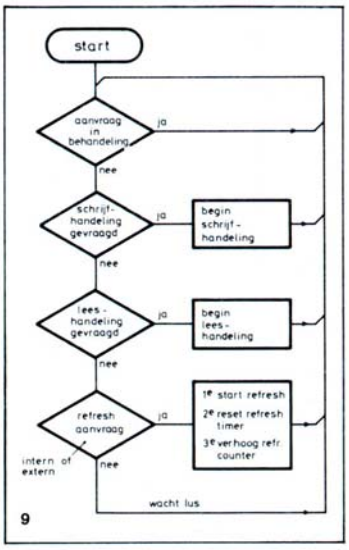
altijd worden gerefres
aanstaat. Het is zeker
de nodige schakelinge
TTL-IC's op te bouwen
een volkomen veilige
garanderen onder alle
niet gemakkelijk.

Dynamische RA
controller 8202 v

De 8202 van Intel is ee
„dynamiek" uit de
RAM's neemt. Het zorg

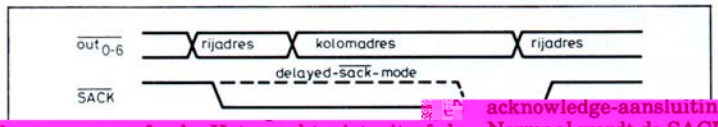
Afb. 9 Stroomdiagram van de „arbiter" in de 8202.
Afb. 10 Timingdiagram van de 8202. De „delayed-SACK-mode" treedt op als een lees- of schrijfhandeling wordt gevraagd terwijl een refresh bezig is.

middel van de chip-selectingang kan het dynamische geheugen worden in- en uitgeschakeld. Door de adressen te decoderen en als chip-selectsignaal te gebruiken kunnen geheugengebieden worden vrijgehouden. Bij de 48K RAM-kaart is dit gebeurd voor het geheugengebied C000 tot en met FFFF.
De 8202 bevat verder een refreshtimer, een refreshcounter een een arbiter. De refreshcounter is gewoon een 7-bits binaire teller waarvan de waarde bij een refresh-behandeling op de adresuitgangen wordt gezet. Vervolgens worden de vier RAS-uitgangen gelijktijdig geklokt waarna de refreshcounter met één wordt verhoogd.
De refreshtimer is een frequentiedeler die de oscillatorfrequentie omlaag brengt tot de, voor periodieke refresh, vereiste waarde. Iedere 2 ms moeten 128 RAS-adressen worden gerefreshed: de periodetijd van de timer bedraagt ca. 15 µs. De timer is uitgerust met een resetmogelijkheid.
Zolang er geen verzoeken komen voor een lees- of schrijfhandeling, verrichten refreshtimer en -counter zelfstandig de noodzakelijke refresh. Het maakt niet uit of de processor aan of uit staat.
De data in de dynamische RAM's is veilig zolang de controller voedingsspanning krijgt!



Arbiter

Een sleutelfunctie in de 8202 vervult de arbiter. Een arbiter is een scheidsrechter en bij de 8202 wordt er de schakeling mee aangeduid die beslist welke handeling met voorrang dient te geschieden. Er zijn drie mogelijke handelingen: een verzoek van de processor om een leeshandeling, hiertoe wordt een logisch „0"-signaal op de RD-ingang gezet; een verzoek om een schrijfhandeling, dit gebeurt door een logische „0" op de WR-ingang te zetten of een verzoek om een refreshhandeling. Deze laatste kan dan afkomstig zijn van de inwendige timer òf van de Refresh-request-ingang (Refrq) die „0" wordt.
Als er slechts één verzoek binnenkomt wordt hieraan direct gehoor gegeven. Komen er echter twee verzoeken gelijktijdig – dit zullen een read- of writeverzoek en een refreshverzoek zijn – dan beslist de arbiter als volgt. Het read- of writeverzoek wordt eerst afgehandeld, onmiddellijk gevolgd door de refresh. Na een refresh, ongeacht het feit of de aanvraag afkomstig was van de timer of de refreshaansluiting, wordt de refresh-timer gereset. Als een verzoek voor een lees- of schrijfhandeling komt terwijl een refresh gaande is, wordt de refresh eerst afgehandeld en pas daarna wordt de gevraagde operatie uitgevoerd (afb. 9). De processor moet nu dus worden geïnformeerd dat de gevraagde handeling nog niet plaats kan vinden. Hiertoe is de 8202 uitgerust met een system-acknowledge-aansluiting (SACK). Normaal wordt de SACK direct „0" na een verzoek om te lezen of te schrijven. Als echter een refresh gaande is en er komt een lees- of schrijfverzoek dan blijft SACK „1" tot aan het verzoek gehoor wordt gegeven. Men spreekt dan van delayed-SACK-mode.
SACK kan worden gebruikt om de processor te laten wachten door hem te verbinden met de Wait-aansluiting.
In afb. 10 ziet men het timingdiagram van de 8202. Het zou natuurlijk het mooist zijn als de processor nooit hoefde te wachten, met andere woorden als de refresh op die tijdstippen gebeurt dat er geen lees- of schrijfhandeling wordt gevraagd. Men spreekt dan van „verborgen" (hidden) refresh. Wel, hiertoe dient de refresh-request-aansluiting. Vaak wordt deze zodanig aangesloten dat bij een „instruction-fetch"-cyclus tevens om een refresh wordt verzocht. De refresh geschiedt dan tijdens het decoderen van de instructie (de processor legt dan geen beslag op het geheugen).
Het laag worden van de XACK (transfer-acknowledge) geeft aan



48K dynamische RAM-kaart

universeel voor 1802. Deel 2

H. B. Stuurman

De schakeling van de 48K dynamische RAM-kaart is te zien in afb. 11 en de voeding ervoor in afb. 12. Centraal staat de dynamische RAM-controller 8202 die de timing en adressignalen voor het uit 24 IC's bestaande geheugenblok opwekt. De zeven adreslijnen OUT 0-6, de Column Address Strobe en Write Enable gaan gemeenschappelijk naar alle RAM-IC's.
Door middel van de Row Address Strobe wordt één bank van acht IC's geselecteerd. Voor de drie banken van elk 16K zijn drie RAS-aansluitingen gebruikt. RAS-3 wordt hier niet verbonden.
Databytes die in het geheugen worden geschreven, worden via een 8-voudige bluffer (IC2) naar de dataingangen van de RAM's gevoerd. Databytes afkomstig uit het geheugen worden in een tussengeheugen (IC3) gezet. De controller hoeft niet te wachten tot de CPU deze data opneemt, maar kan direct aan een refreshcyclus beginnen. Het tussengeheugen is een 8-voudige latch met tri-state-uitgangen. Door middel van de Xack-uitgang wordt de data in de latch gezet. Xack geeft aan dat de overdracht geldig is (transfer acknowledge). Terwille van de snelheid zijn voor de databusbuffer en het tussengeheugen low power schotky-TTL-IC's gebruikt. Voor een goede aanpassing op de CMOS-dataingangen van de 1802-microprocessor zijn acht optrekweerstanden van 10 kΩ opgenomen. De belasting die de 1802 op zijn databus „ziet" is één low power TTL-ingang met parallel een weerstand van 10 kΩ naar +5 V.
Dit is geen probleem voor de 1802 die per uitgang één standaard TTL-ingang kan sturen.
De schakeling van de controller, het dynamische RAM-blok, de databuffer en het tussengeheugen is standaard en kan zonder meer worden gebruikt bij vele andere processoren. Ook bij de KIM en de Junior. Het onderscheid zit hem in de sturing van de 8202 vanuit de microprocessor. De 1802 is hierbij niet de gemakkelijkste zoals zal blijken.

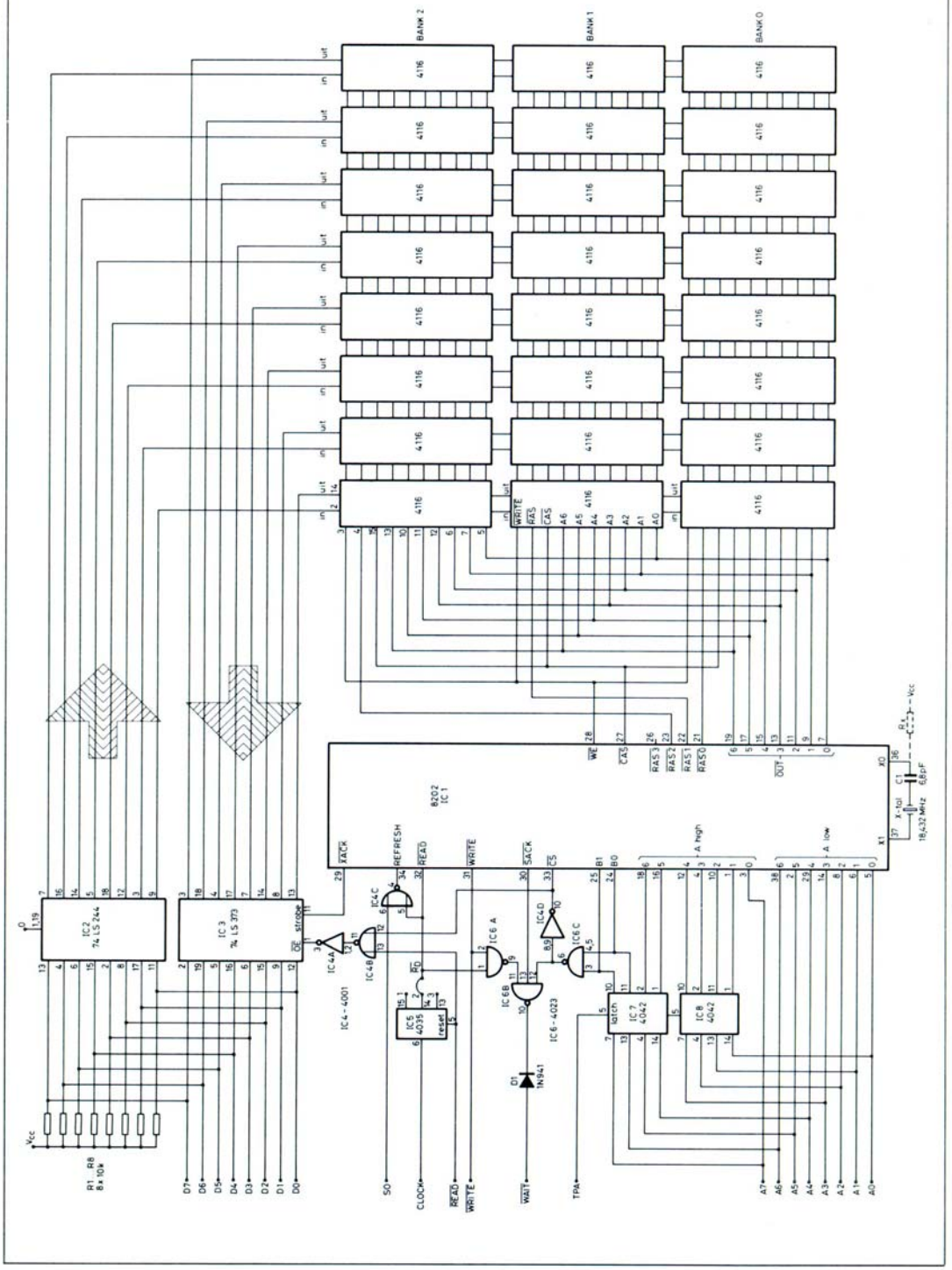
Sturing van de 8202-controller

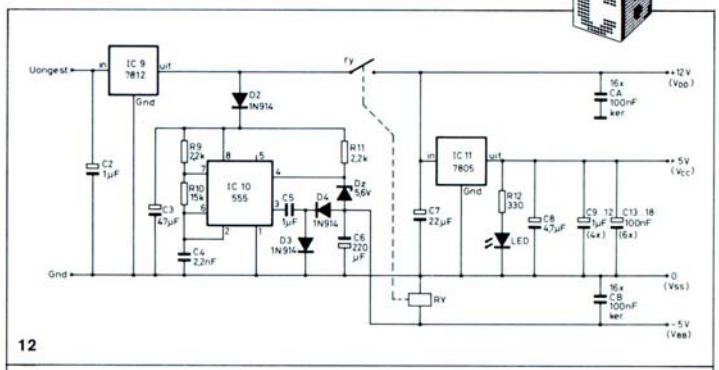
Laten we maar meteen met de deur in huis vallen, de problemen worden veroorzaakt door de gemultiplexte adresbus van de 1802-microprocessor. Als we het timingdiagram van de 1802 bekijken (afb. 13) zien we dat vroeg in de machinecyclus de hoge adresbyte op de adresbus wordt gezet. Het is geldig op de achterflank van TPA en kan daarmee worden uitgeklokt. Direct hierna wordt de lage byte op de adresbus gezet en deze blijft gedurende de rest van de machinecyclus op de bus staan. Bij een schrijfhandeling wordt de schrijfpuls gegeven als het volledige adres geldig is, dit is omstreeks TPB. Bij een leeshandeling wordt aan het begin van TPB de data in de CPU gekopieerd. Een leeshandeling wordt ingeleid door het laag worden van Read. Dat gebeurt al heel vroeg in de machinecyclus. In het datablad van de 1802 wordt dan ook niet gesproken van een lees-„puls" maar van een lees-„niveau". De controller ziet echter het laag worden van de Read-aansluiting als een commando om te lezen en reageert hier onmiddellijk op. Read moet daarom worden uitgesteld totdat het volledige adres aanwezig is. Het uitstellen van Read mag ook weer niet te lang duren omdat de controller tijd nodig heeft om de kolom- en rijadressen uit te zenden en de RAM's een zekere toegangstijd hebben.
De CPU kopieert de databyte aan het begin van TPB. De grenzen van de leesaanvraag moeten ruim ná TPA – zodat het volledig adres beschikbaar is, en ruim vóór TPB, om de controller en de RAM's voldoende tijd te geven – liggen, zie afb. 14.
De 8202 heeft 14 adresingangen A0 t.e.m. A6 low en A0 t.e.m. A6 high. Met twee latches, IC7 en IC8, wordt de hoge adresbyte uitgeklokt en adresbits 0 t.e.m. 13 worden direct op bovengenoemde ingangen gezet. De resterende adresbits, A14 en A15, worden gebruikt voor de bankselect (zie de tabel).
Bank 3 is niet aanwezig. Met IC6C wordt deze toestand (A14 = 1 en A15 = 1) gedecodeerd en gebruikt om, door middel van de chipselect-ingang, de 8202 op „non-actief" te stellen. Het chipselectsignaal wordt tevens gebruikt om in combinatie met Read de tri-stateuitgangen van het tussengeheugen in te schakelen. Hiervoor dienen IC4B en -4A.
De van de microprocessor afkomstige schrijfpuls kan direct met de controller worden verbonden.

Uitstellen van Read

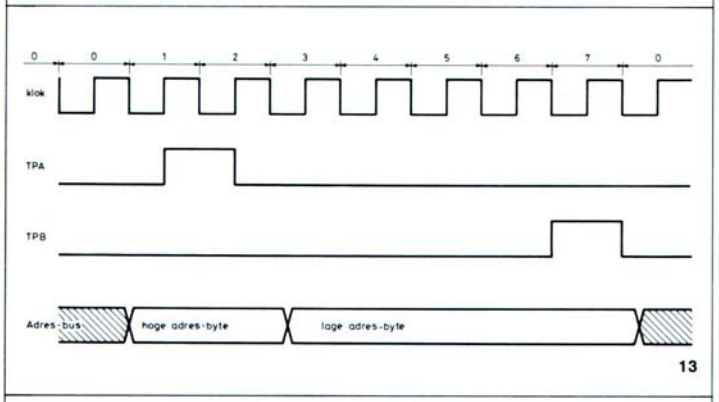
Bij een microprocessor worden alle timingsignalen afgeleid van de klok. Voor het uitstellen van Read kan eveneens gebruik worden gemaakt van de klok. Dit heeft het voordeel dat bij andere klokfrequenties de relatie tussen de uitgestelde Read en de overige signalen niet verandert. Dit in tegenstelling met uitstel door bijv. een monostabiele multivibrator.
IC5 is een 4-bits schuifregister waarmee op eenvoudige wijze het

Afb. 11 Schakeling van de 48K dynamische RAM-kaart. Zie voor RX de tekst.

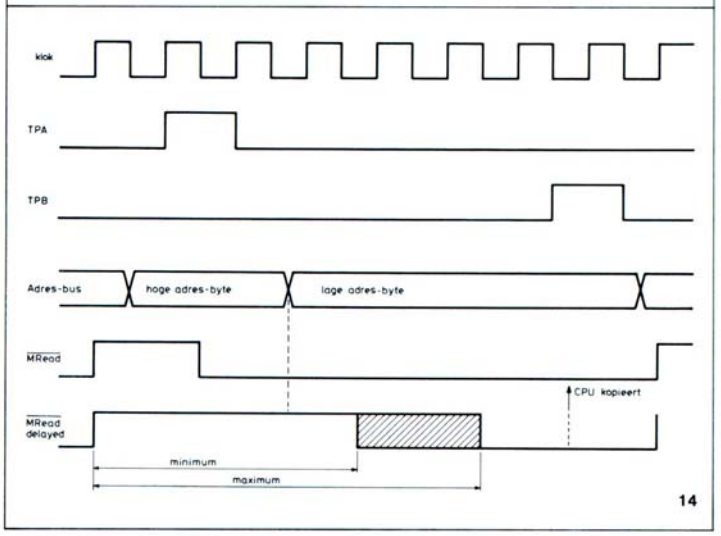




12



13



14

Afb. 12 *Voeding voor de dynamische RAM-kaart. Deze schakeling en de schakeling van afb. 11 zitten op print 7561.*

Afb. 13 *Bij de 1802 wordt het adres gemultiplext op de adresbus van 8 bit gezet. Eerst de hoge byte die met TPA kan worden uitgeklokt, vervolgens de lage byte.*

Afb. 14 *De leespuls naar de 8202-controller moet worden uitgesteld tot het volledige adres beschikbaar is. Het uitstel mag niet te lang zijn om de controller en de RAM's voldoende tijd te geven.*

Read-signaal één, twee of drie klokcyclussen kan worden uitgesteld. Dit IC is uitgerust met een ingang waarmee de vier uitgangen naar hun complement kunnen worden omgeschakeld. Bij een leesaanvraag wordt de resetconditie opgeheven en bij de eerstvolgende positieve klokovergang wordt een „1" in flipflop 0 geschoven. De uitgang ervan wordt „0". Volgende klokpulsen doen respectievelijk uitgang 1, 2 en 3 „0" worden. In de praktijk blijkt een uitstel van ca. drie klokpulsen (uitgang 2) goed te voldoen. Bij een klokfrequentie hoger dan 2 MHz verdient aansluiting 1 de voorkeur in verband met de propagatievertraging van het schuifregister. Met een klok van 2 MHz werkte het prototype van de dynamische kaart betrouwbaar, onafhankelijk van de gekozen vertraging van Read.

Hidden refresh?

In het datablad van de 8202 wordt vermeld dat een zogenoemde hidden of verborgen refresh kan worden verkregen door een instruction-fetch direct door een refresh te laten volgen. In de praktijk mogen de lees- en refresh-verzoeken gelijktijdig komen, de arbiter geeft aan het lees-verzoek voorrang. Door de uitgestelde Read te combineren met statecodelijn 0 (S0) wordt een instruction-fetch direct gevolgd door een refresh. Hiervoor dient IC4C.

Tot ca. 3 MHz is de cyclustijd van de 1802-microprocessor lang genoeg om er de refresh in te „verbergen". Vanaf een processorklokfrequentie van ca. 1,6 MHz geldt omgekeerd ook dat zelfs bij 3-cyclus instructies (LBR enz.) de instruction-fetchcyclussen snel genoeg na elkaar komen om de refresh-timer in de 8202 te resetten. Voor de meest gebruikelijke klokfrequenties, namelijk 1,75 en 2 MHz, klopt de timing.

Stel nu dat we gebruik gaan maken van de mogelijkheid het geheugen direct te adresseren. Bij DMA-out zijn er geen problemen te verwachten, het is immers een leeshandeling en bovendien is SC0 bij een DMA-handeling laag. Automatisch wordt iedere leesactie gevolgd door een refresh. Bij DMA-in zijn er wel problemen te verwachten omdat door het ontbreken van de leesactie geen periodieke refresh wordt aangevraagd. De refresh-timer van de 8202 gaat nu de

refresh verzorgen en incidenteel zullen bij het schrijven geheugenplaatsen worden overgeslagen.
Er zijn meer knelpunten. Als de processor van reset naar run wordt geschakeld en vlak voordat de eerste instructie wordt gehaald begint een refresh, blijft er dan voldoende tijd over om de instructie binnen te halen? Stel dat gebruik wordt gemaakt van de pausemogelijkheid van de 1802-processor, wat dan? We mogen dit niet aan het toeval overlaten en de 8202-controller biedt hiervoor een mogelijkheid, de System acknowledge-uitgang (Sack). Als er geen refresh gaande is reageert Sack onmiddellijk op een lees- of schrijfaanvraag door „0" te worden. Als er wel een refresh gaande is, terwijl er een lees- of schrijfverzoek komt, wordt Sack pas „0" als aan het verzoek is voldaan. Sack kan dus worden gebruikt om de processor te laten wachten in dié gevallen waar „kortsluiting" dreigt te ontstaan.
Voor het laten wachten van de processor moet aan drie voorwaarden zijn voldaan:

1. De 8202-controller moet zijn geselecteerd.
2. Een lees- of schrijfverzoek moet op de 8202 aanwezig zijn.
3. Sack blijft „1" (tengevolge van een refresh).

Hiervoor dienen IC6A en -6B. Door in de verbinding met WAIT een diode op te nemen blijft het mogelijk te single-steppen. Het gebruikmaken van de Sack-uitgang heeft één consequentie. Als er geen refresh gaande is wordt Sack namelijk niet onmiddellijk „0". Er gaat ca. 100 ns overheen. Als dit juist gebeurt tijdens een negatieve klokovergang van de processor wordt één klokperiode gewacht. Bij toepassing van de videochip 1861 of 1864 kan dit een bibberbeeld geven. In een dergelijk geval moet men bovengenoemde mogelijke knelpunten voor lief nemen en Sack niet gebruiken (D1 niet plaatsen).

***Tabel** Manier waarop het adresgebied door middel van adreslijnen A14 en A15 wordt opgedeeld in vier banken.*

Tabel

A15	A14	Bank	Adresgebied
0	0	0	0000 t.e.m. 3FFF
0	1	1	4000 t.e.m. 7FFF
1	0	2	8000 t.e.m. BFFF
1	1	3	C000 t.e.m. FFFF

Voeding

Een dynamische RAM van het type 4116 heeft drie voedingsspanningen nodig: −5, +5 en +12 V. De −5 en +5 V worden slechts weinig belast. De +12 V is de eigenlijke werkspanning. De negatieve voedingsspanning dient om het substraat te isoleren. Als deze spanning niet voldoende negatief is, terwijl de overige spanningen aanwezig zijn, worden deze gedeeltelijk kortgesloten en de 4116 kan kapot gaan.
De aanbevolen procedure bij inschakelen: eerst zorgen dat de negatieve spanning aanwezig is en vervolgens de overige spanningen inschakelen.
Voor uitschakelen geldt de omgekeerde volgorde.
Omdat de stroomopname van de voeding van −5 V zo gering is loont het de moeite hiervoor een omvormer op te nemen. In afb. 12 is dit een multivibrator opgebouwd met een 555 (IC10) gevolgd door een inverterende spanningsverdubbelaar (C5, C6, D3 en D4).
Stabilisatie op −5 V wordt verkregen door de negatieve spanning via een zenerdiode van 5,6 V met de resetingang van de 555 te verbinden.
Op de −5 V spanning is ook de spoel van een klein relais aangesloten, het schakelcontact is opgenomen in de spanningsweg voor de +5 en +12 V. Zodra de negatieve spanning ca. −3 V wordt, sluit het relais. De negatieve spanning is dus altijd als eerste aanwezig. Bij uitschakelen zal ten gevolge van de grote capaciteit van C6 de negatieve spanning langzaam naar 0 V gaan en door de betrekkelijk lage totale capaciteit zullen de positieve spanningen snel minder worden, sneller dan de negatieve spanning. Het relais zorgt op eenvoudige wijze voor de aanbevolen volgorde van in- en uitschakelen.
De −5V-omvormer is via een diode (D2) op de uitgang van de 7812 aangesloten. Hierdoor is de door het relais te schakelen stroom begrensd tot maximaal de kortsluitstroom van de 7812.
Voor het toegepaste relais is dat meer dan de voor het behalen van de levensduur vermelde waarde. Een levensduur van 5×10^6 schakelingen zal dan ook wel niet worden gehaald. Proefnemingen gaven echter na 10 000× schakelen met bovengenoemde belasting een nog prima werkend relais te zien, waarna maar werd gestopt.
Als signalering voor de aanwezigheid van de drie voedingsspanningen is een LED opgenomen. Bij inschakelen komt deze iets vertraagd op.
Voor de ontkoppeling van de dynamische RAM's zijn de richtlijnen van de fabrikant aangehouden, hetgeen resulteert in een flink aantal keramische condensatoren van 100 nF.

Literatuur

- Intel Component Data Catalog.
- Intel application note voor de 8202.
- Take the „dynamics" out of dynamic RAM with an IC controller handling refresh. Electronic Design Nr. 26, December 1978.
- Memory system design Seminar. Uitgave van Intel Memory Components Division.
- Mostek memory databook en disigners guide.
- Toshiba MOS memory products Databoek.

(Wordt vervolgd)

48K dynamische RAM-kaart

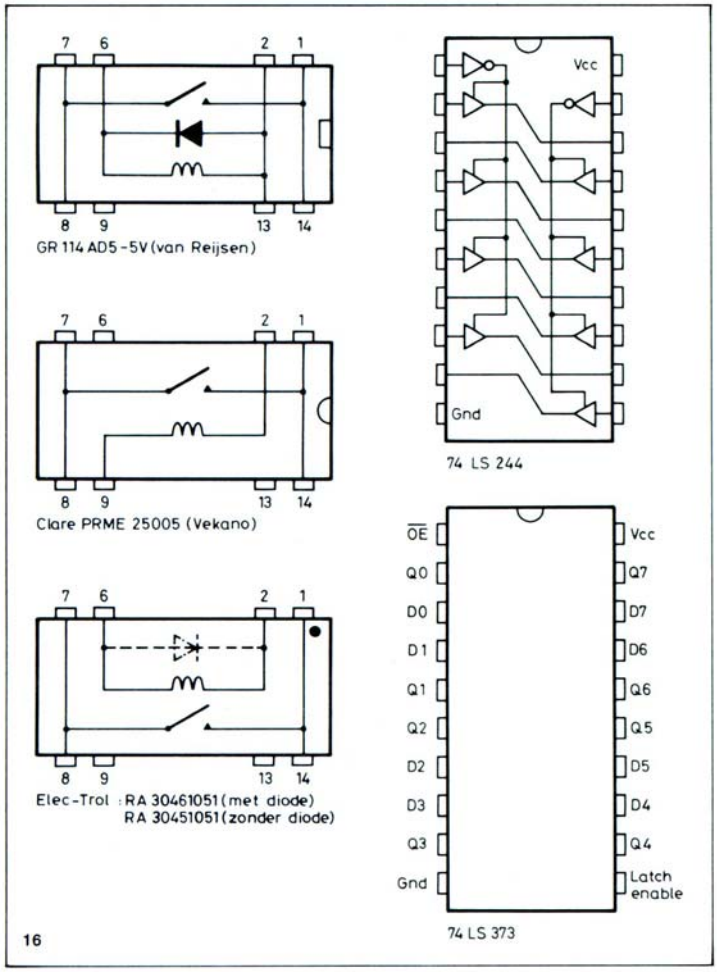
universeel voor 1802/Deel 3

H. B. Stuurman

Bouw

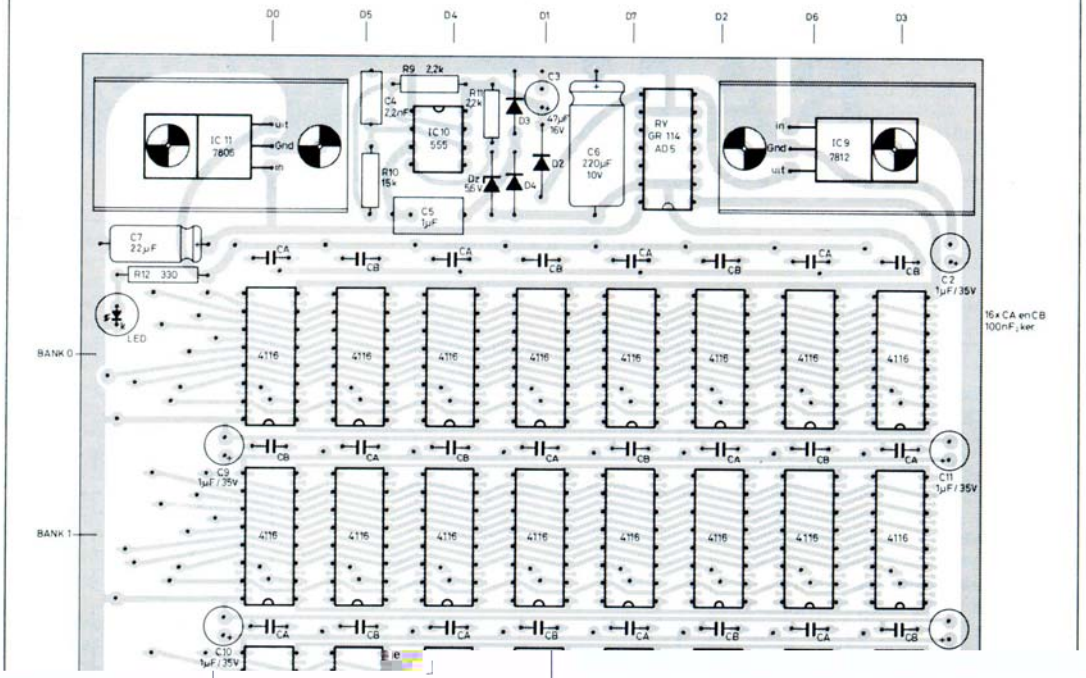
Voor de dynamische RAM-kaart is een print ontworpen. Door de strenge eisen voor wat betreft de ontkoppeling is deze print tamelijk gecompliceerd. Het is een dubbelzijdige print met doorgemetalliseerde gaatjes. Door de doormetallisering is de bouw eenvoudig, al zijn er wel veel soldeerpunten. Goed soldeerwerk is van essentieel belang! Het is verstandig voor alle IC's en het relais voetjes te gebruiken. Deze worden als eerste gemonteerd. Sommige fabrikaten hebben een aanduiding voor pen 1 van het IC. Let hierop, dat vergemakkelijkt later het plaatsen van de IC's. Na de IC-voeten kunnen de overige onderdelen worden gemonteerd.

Het kristalhuis wordt met massa verbonden, een aansluiting daarvoor is aanwezig. Vergeet ook de draadbrug voor de uitgestelde Read niet.
In de materiaallijst is voor het relais type GR114AD5 V-genoemd. Andere typen met of zonder diode zijn ook bruikbaar. Als ze met een diode zijn uitgerust is enige oplettendheid in verband met de polariteit geboden, want die kan verschillen. Het type Electrol RA30461051 bijv. wordt andersom geplaatst. Van een aantal relais zijn de aansluitingen in afb. 16 getekend.
De connectorstrip is niet in het midden van de print gezet. Door de asymmetrische plaatsing kan aan één kant een printgeleider worden gebruikt. Bij deze lange print is dat geen overbodige luxe! Als de dynamische RAM-kaart recht op in een connector wordt gezet zijn de aanbevolen koelelementen voldoende, mits de voedingsspanning niet hoger is dan 15 V.
Het is ook mogelijk de kaart onder de computer te hangen. De computer wordt dan op een ca. 25 mm hoog raamwerkje van hout gezet. In het raam wordt een connector



***Afb. 16** Aansluitgegevens van enige onderdelen.*

RAM-kaart



RB sept. 1980
7506 - interface (par.in/out; D-A, A-D) f 30,00
7507 - hex-keyboard f 16,90

RB nov. 1980
7515 - 4K RAM-kaart 8 × 2114L f 30,00

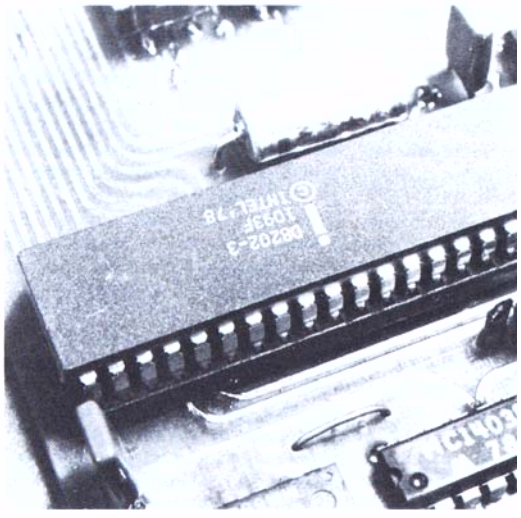
RB dec. 1980
7508 - display-interfacekaart f 30,00
7518 - universele displaymontageprint f 18,50

RB febr. 1981
7516 - 4K EPROM-kaart (2 × 2716) f 30,00

RB juni 1981
7502 - grafisch displaykaart (CDP1864) f 30,00
7504 - busprint voor 5 connectoren f 30,00

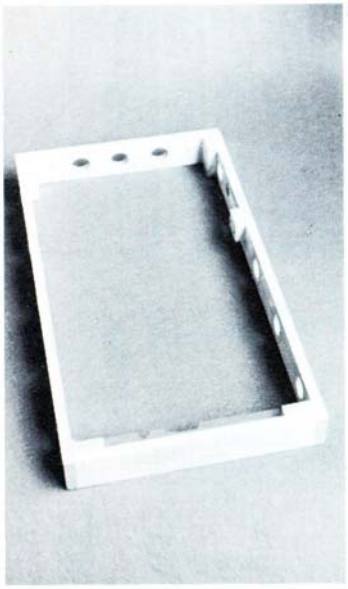
RB okt. 1981
7521 - printer UART
7548 - serie-interface
7546 - autostart
set f 21,00

RB mrt., apr. en mei 1982
7561 - 48K dynamische RAM-kaart f 49,50

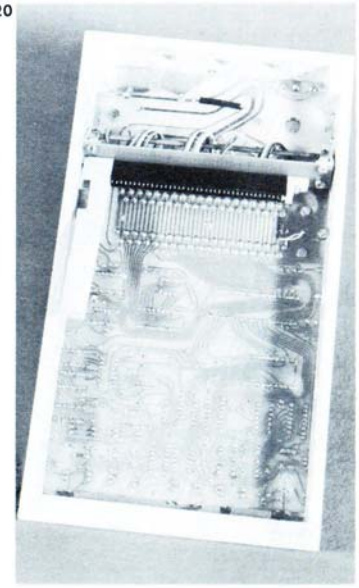


Afb. 19 en 20 Als de computer op een houten raam wordt gezet kan de dynamische RAM-kaart er onder komen. Stabilisators, IC9 en -11, komen dan op een aparte koelplaat aan de achterkant van het raam. Bovendien is het raadzaam de 8202 van een koelvin te voorzien in verband met de slechte luchtcirculatie.

19



20



volbezette dynamische RAM-kaart bedraagt 600 à 700 mA. De stroomopname van de totale computer bedraagt ca. 1 A.
Omdat nu een gestabiliseerde spanning van 12 V wordt gebruikt dient de ongestabiliseerde spanning ca. 14 à 15 V te bedragen. De te gebruiken transformator moet een wisselspanning van 14 à 15 V kunnen leveren bij een stroom van 1,5 à 2 A. Een transformator van 12 V is dus niet bruikbaar of er moeten wat extra wikkelingen worden aangebracht.

Geheimzinnige RX

Het prototype van de dynamische RAM-kaart is uitgerust met de 8202. Het werkt reeds geruime tijd naar volle tevredenheid. Toch schijnen diverse gebruikers problemen met de 8202 te hebben gehad. Het betrof dan met name het klokoscillatorcircuit in de 8202. De frequentie hiervan mag liggen tussen 18 en 25 MHz. Bij de hogere frequentie bleek het kristal met bijbehorende seriecondensator gevoelig voor storing die werd doorgekoppeld naar de klokingang. In plaats van op de grondfrequentie ging het kristal op de derde boventoon werken. Men heeft bij Intel dit probleem tijdelijk omzeild door nieuwe databladen te maken met de uitsluitende vermelding van gebruik van een externe klok, de 8202 is dan omgedoopt tot 8202A.
Intussen ontvingen wij uit betrouwbare bron bericht dat in die gevallen waar de kristaloscillator niet betrouwbaar werkt, aansluiting X0 met een weerstand van 1 kΩ aan +5 V moet worden verbonden. Deze weerstand komt dan op de bovenzijde van de print. Ook bij Intel zelf heeft men een remedie gevonden die in het voorkomende geval gemakkelijk is uit te voeren. Deze remedie is: verbindt X1 (pen 37) via een weerstand van 1 kΩ aan GND en X0 (pen 36) via een weerstand van 680 Ω eveneens aan GND.
Op onze print is het kristal met uiterst korte verbindingen op de 8202 aangesloten en tien tegen één werkt de kristaloscillator ook zonder deze voorziening.

Onderdelenlijst

Weerstanden

R1 t.e.m. R8	10 k Ω	bijv. netwerk 8 × 10 k Ω, VR8-10 k, ITT-multicomponents, Zoetermeer, bestelnr. 290 10 450 of DIL-netwerk 8 × 10 kΩ, Texim, bestelnr. 916C103X2SR of zelf maken van 8 R's 10 kΩ, ⅛ W
R9, R11	2,2 kΩ,	⅛ W
R10	15 kΩ,	⅛ W
R12	330 Ω,	¼ W

Condensatoren

C1	6,8 pF,	keramisch, (steek 2,5 mm)
C2, C9 t.e.m. C12	1 µF,	tantaal, (steek 2,5 mm)
C3	47 µF,	16V, tantaal, (steek 2,5 of 5 mm) evt. radiale elco
C4	2,2 nF,	MKM, (steek 7,5 mm)
C5	1 µF,	MKM, (steek 7,5 of 10 mm)
C6	220 µF,	10 V (ø 9 × 18 mm)
C7	22 µF,	25 V, (ø 6 × 11 mm)
C8	4,7 µF,	63 V, (ø 6 × 12 mm)
C13 t.e.m. C18	100 nF,	60 V, (steek 5 mm), Siemens Sibatit
16 stuks CA	100 nF,	60 V, (steek 5 mm), Siemens Sibatit
16 stuks CB	100 nF,	60 V, (steek 5 mm), Siemens Sibatit

IC's

IC1	8202 of 8202A-3,	Dynamic RAM-controller, Intel (Inelco, Aalsmeer)
IC2	74LS244	(octal buffer)
IC3	74LS373	(octal latch)
IC4	4001	
IC5	4035	(4 stage shiftregister)
IC6	4023	
IC7, IC8	4042	(quad latch)
IC9	7812, TO220	
IC10	555 (DIL 8)	
IC11	7805, TO220	
Per bank van 16K: 8× 4116 (max. 24 = 48K)		

Dioden

D1 t.e.m. D4	1N914 (1N4148)
Dz	zener 5,6 V, 250 mW
LED	rode LED (steek 2,5 mm)

Diversen

Kristal 18,432 MHz	HC18U
Relais	DIL-reedrelais, bijv. type GR114AD5-5V (Van Reijssen Elektronica, Delft) (1×maak, 5 V, ca. 500 Ω)
3	IC-voeten met 14 pennen, laag model
27	IC-voeten met 16 pennen, laag model
2	IC-voeten met 20 pennen, laag model
1	IC-voet met 40 pennen, laag model
2	koelelementen voor TO220, type KL-105/SW, Amroh, bestelnr. 6.039 (zie ook tekst)
4	moerbouten M3 × 5 koelpasta
1	dubbelzijdige doorgemetalliseerde print, MK-bestelnr. 7561