

H.B. STUURMAN

COSMICOS

BOUW UW EIGEN COMPUTER

DE MUIDERKRING

H.B. STUURMAN

COSMICOS

BOUW UW EIGEN COMPUTER

Hoofdstuk 1	Introductie van een microcomputer	19
	Een strik geluid bestrijft	19
	Les over het taalgebruik	20
	Multiplexie	21
	Een eenvoudig programma	21
	Blokschema voor een microcomputer	22
	Eerste voorbeeld van registratie	24
	Het geheugen, lezen en schrijven	25
	Hardware, software en firmware	28
Hoofdstuk 2	De microprocessor	29
	Architectuur	30
	Interfacediagram	32
	Adresseringsmethoden	33
	Timing	34
	Aansluiten van de processor	35
Hoofdstuk 3	Een eenvoudige microcomputer voor zelfbouw	41
	Vier functionele blokken	41
	Het bedieningspaneel	42
	De output	49
	De input	51
	Het geheugen	54
Hoofdstuk 4	Aanwijzingen en tips voor de opbouw	59



DE MUIDERKRING B.V. - BUSSUM
UITGEVERIJ VAN TECHNISCHE BOEKEN EN TIJDSCHRIFTEN

Hoofdstuk 13.	4 K RAM kaart	159
Hoofdstuk 14.	Display interface kaart	165
	Cassette interface en interruptgenerator	168
	De acht 7-segment display's	170
	Vorbereidingen voor de monitor	171
	Cassetterecorder	172
Hoofdstuk 15.	De Hex-monitor	177
	Opstarten van de monitor	179
	Bootstrap cassette loader	179
	Nuttige routines in de monitor	179
	Display refresh-programma	180
Hoofdstuk 16.	4 K EPROM kaart	185
	Ordering van het geheugen	188
	Autostart monitor	190
	Register Save eigenschap	191
	Hex monitor of UT 4 monitor	193
	Operating system in EPROM	193
Hoofdstuk 17.	De terminal	197
	Seriële data-overdracht	198
	Overdrachtsformaat	202
	ASCII-code	203
	Break	204
	Utility 4 monitor	204
	Read en Type	206
Bijlage A	Instructieset 1802	209
Bijlage B	Technische gegevens van de 1802	213
Bijlage C	Hexadecimaal talstelsel	220
Bijlage D	ASCII-code	221
Bijlage E	Cassette Loader voor ELF II programma's	225
Bijlage F	Documentatie	229
	Clubs	229
	Interessante programma's	331
	Printen voor Cosmicos	232
	Operating system in EPROM	232
Trefwoordenlijst		233

INSTRUCTION SET

The COSMAC instruction summary is given in Table I. Hexadecimal notation is used to refer to the 4-bit binary codes.

In all registers bits are numbered from the least significant bit (LSB) to the most significant bit (MSB) starting with 0.

R(W): Register designated by W, where W=N or X, or P

R(W).0: Lower-order byte of R(W)
R(W).1: Higher-order byte of R(W)

NO = Least significant Bit of N Register

Operation Notation
M(R(N)) +D; R(N) + 1

This notation means: The memory byte pointed to by R(N) is loaded into D, and R(N) is incremented by 1.

TABLE I – INSTRUCTION SUMMARY
(For Notes, see page 109)

INSTRUCTION	MNEMONIC	OP CODE	OPERATION
MEMORY REFERENCE			
LOAD VIA N	LDN	0N	M(R(N))+D; FOR N NOT 0
LOAD ADVANCE	LDA	4N	M(R(N))+D; R(N)+1
LOAD VIA X	LDX	F0	M(R(X))+D
LOAD VIA X AND ADVANCE	LDXA	72	M(R(X))+D; R(X)+1
LOAD IMMEDIATE	LDI	F8	M(R(P))+D; R(P)+1
STORE VIA N	STR	5N	D-M(R(N))
STORE VIA X AND DECREMENT	STXD	73	D-M(R(X)); R(X)-1
REGISTER OPERATIONS			
INCREMENT REG N	INC	1N	R(N)+1
DECREMENT REG N	DEC	2N	R(N)-1
INCREMENT REG X	IRX	60	R(X)+1
GET LOW REG N	GLO	8N	R(N).0-D
PUT LOW REG N	PLO	AN	D-R(N).0
GET HIGH REG N	GHI	9N	R(N).1-D
PUT HIGH REG N	PHI	BN	D-R(N).1
LOGIC OPERATIONS**			
OR	OR	F1	M(R(X)) OR D-D
OR IMMEDIATE	ORI	F9	M(R(P)) OR D-D; R(P)+1
EXCLUSIVE OR	XOR	F3	M(R(X)) XOR D-D
EXCLUSIVE OR IMMEDIATE	XRI	FB	M(R(P)) XOR D-D; R(P)+1
AND	AND	F2	M(R(X)) AND D-D
AND IMMEDIATE	ANI	FA	M(R(P)) AND D-D; R(P)+1
SHIFT RIGHT	SHR	F6	SHIFT D RIGHT, LSB(D)+DF, 0=MSB(D)
SHIFT RIGHT WITH CARRY	SHRC	76*	SHIFT D RIGHT, LSB(D)+DF, DF+MSB(D)
RING SHIFT RIGHT	RSHR		
SHIFT LEFT	SHL	FE	SHIFT D LEFT, MSB(D)+DF, 0=LSB(D)
SHIFT LEFT WITH CARRY	SHLC	7E*	SHIFT D LEFT, MSB(D)+DF, DF+LSB(D)
RING SHIFT LEFT	RSHL		

*NOTE: THIS INSTRUCTION IS ASSOCIATED WITH MORE THAN ONE MNEMONIC. EACH MNEMONIC IS INDIVIDUALLY LISTED.
**NOTE: THE ARITHMETIC OPERATIONS AND THE SHIFT INSTRUCTIONS ARE THE ONLY INSTRUCTIONS THAT CAN ALTER THE DF.
AFTER AN ADD INSTRUCTION:
DF = 1 DENOTES A CARRY HAS OCCURRED
DF = 0 DENOTES A CARRY HAS NOT OCCURRED
AFTER A SUBTRACT INSTRUCTION:
DF = 1 DENOTES NO BORROW. D IS A TRUE POSITIVE NUMBER
DF = 0 DENOTES A BORROW. D IS TWO'S COMPLEMENT
THE SYNTAX "--(NOT DF)" DENOTES THE SUBTRACTION OF THE BORROW

TABLE I – INSTRUCTION SUMMARY (CONT'D)

INSTRUCTION	MNEMONIC	OP CODE	OPERATION
ARITHMETIC OPERATIONS♦♦			
ADD	ADD	F4	$M(R(X)) + D - DF, D$
ADD IMMEDIATE	ADI	FC	$M(R(P)) + D - DF, D; R(P) + 1$
ADD WITH CARRY	ADC	74	$M(R(X)) + D + DF - DF, D$
ADD WITH CARRY, IMMEDIATE	ADCI	7C	$M(R(P)) + D + DF - DF, D; R(P) + 1$
SUBTRACT D	SD	F5	$M(R(X)) - D - DF, D$
SUBTRACT D IMMEDIATE	SDI	FD	$M(R(P)) - D - DF, D; R(P) + 1$
SUBTRACT D WITH BORROW	SDB	75	$M(R(X)) - D - (NOT DF) - DF, D$
SUBTRACT D WITH BORROW, IMMEDIATE	SDBI	7D	$M(R(P)) - D - (NOT DF) - DF, D; R(P) + 1$
SUBTRACT MEMORY	SM	F7	$D - M(R(X)) + DF, D$
SUBTRACT MEMORY IMMEDIATE	SMI	FF	$D - M(R(P)) + DF, D; R(P) + 1$
SUBTRACT MEMORY WITH BORROW	SMB	77	$D - M(R(X)) - (NOT DF) - DF, D$
SUBTRACT MEMORY WITH BORROW, IMMEDIATE	SMBI	7F	$D - M(R(P)) - (NOT DF) - DF, D; R(P) + 1$
BRANCH INSTRUCTIONS—SHORT BRANCH			
SHORT BRANCH	BR	30	$M(R(P)) + R(P).0$
NO SHORT BRANCH (SEE SKP)	NBR	38♦	$R(P) + 1$
SHORT BRANCH IF D=0	BZ	32	IF D=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF D NOT 0	BNZ	3A	IF D NOT 0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF DF=1	BDF	33♦	IF DF=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF POS OR ZERO	BPZ		
SHORT BRANCH IF EQUAL OR GREATER	BGE	3B♦	IF DF=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF DF=0	BNF		
SHORT BRANCH IF MINUS	BM		
SHORT BRANCH IF LESS	BL		
SHORT BRANCH IF Q=1	BQ	31	IF Q=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF Q=0	BNQ	39	IF Q=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF1=1 (1 = V _{SS})	B1	34	IF EF1=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF1=0 (0 = V _{CC})	BN1	3C	IF EF1=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF2=1 (1 = V _{SS})	B2	35	IF EF2=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF2=0 (0 = V _{CC})	BN2	3D	IF EF2=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF3=1 (1 = V _{SS})	B3	36	IF EF3=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF3=0 (0 = V _{CC})	BN3	3E	IF EF3=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF4=1 (1 = V _{SS})	B4	37	IF EF4=1, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$
SHORT BRANCH IF EF4=0 (0 = V _{CC})	BN4	3F	IF EF4=0, $M(R(P)) + R(P).0$ ELSE $R(P) + 1$

♦NOTE: THIS INSTRUCTION IS ASSOCIATED WITH MORE THAN ONE MNEMONIC. EACH MNEMONIC IS INDIVIDUALLY LISTED.
 ♦♦NOTE: THE ARITHMETIC OPERATIONS AND THE SHIFT INSTRUCTIONS ARE THE ONLY INSTRUCTIONS THAT CAN ALTER THE DF. AFTER AN ADD INSTRUCTION:
 DF = 1 DENOTES A CARRY HAS OCCURRED
 DF = 0 DENOTES A CARRY HAS NOT OCCURRED
 AFTER A SUBTRACT INSTRUCTION:
 DF = 1 DENOTES NO BORROW. D IS A TRUE POSITIVE NUMBER
 DF = 0 DENOTES A BORROW. D IS TWO'S COMPLEMENT
 THE SYNTAX "--(NOT DF)" DENOTES THE SUBTRACTION OF THE BORROW

TABLE I – INSTRUCTION SUMMARY (CONT'D)

INSTRUCTION	MNEMONIC	OP CODE	OPERATION
BRANCH INSTRUCTIONS—LONG BRANCH			
LONG BRANCH	LBR	C0	$M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ $R(P) + 2$
NO LONG BRANCH (SEE LSKP)	NLBR	C8*	
LONG BRANCH IF D=0	LBZ	C2	IF D=0, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
LONG BRANCH IF D NOT 0	LBNZ	CA	IF D NOT 0, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
LONG BRANCH IF DF=1	LBDF	C3	IF DF=1, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
LONG BRANCH IF DF=0	LBNF	CB	IF DF=0, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
LONG BRANCH IF Q=1	LBQ	C1	IF Q=1, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
LONG BRANCH IF Q=0	LBNQ	C9	IF Q=0, $M(R(P)) \rightarrow R(P).1$ $M(R(P)+1) \rightarrow R(P).0$ ELSE $R(P) + 2$
SKIP INSTRUCTIONS			
SHORT SKIP (SEE NBR)	SKP	38*	$R(P) + 1$
LONG SKIP (SEE NLBR)	LSKP	C8*	$R(P) + 2$
LONG SKIP IF D=0	LSZ	CE	IF D=0, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF D NOT 0	LSNZ	C6	IF D NOT 0, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF DF=1	LSDF	CF	IF DF=1, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF DF=0	LSNF	C7	IF DF=0, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF Q=1	LSQ	CD	IF Q=1, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF Q=0	LSNQ	C5	IF Q=0, $R(P) + 2$ ELSE CONTINUE
LONG SKIP IF IE=1	LSIE	CC	IF IE=1, $R(P) + 2$ ELSE CONTINUE
CONTROL INSTRUCTIONS			
IDLE	IDL	00#	WAIT FOR DMA OR INTERRUPT; $M(R(0)) \rightarrow \text{BUS}$ CONTINUE
NO OPERATION	NOP	C4	CONTINUE
SET P	SEP	DN	$N \rightarrow P$
SET X	SEX	EN	$N \rightarrow X$
SET Q	SEQ	7B	$1 \rightarrow Q$
RESET Q	REQ	7A	$0 \rightarrow Q$
SAVE	SAV	78	$T \rightarrow M(R(X))$
PUSH X,P TO STACK	MARK	79	$(X,P) \rightarrow T$; $(X,P) \rightarrow M(R(2))$ THEN $P \rightarrow X$; $R(2) - 1$
RETURN	RET	70	$M(R(X)) \rightarrow (X,P)$; $R(X) + 1$ $1 \rightarrow IE$
DISABLE	DIS	71	$M(R(X)) \rightarrow (X,P)$; $R(X) + 1$ $0 \rightarrow IE$

#An idle instruction initiates a repeating S1 cycle. The processor will continue to idle until an I/O request (INTERRUPT, DMA-IN, or DMA-OUT) is activated. When the request is acknowledged, the IDLE cycle is terminated and the I/O request is serviced, and then normal operation is resumed.

*NOTE: THIS INSTRUCTION IS ASSOCIATED WITH MORE THAN ONE MNEMONIC. EACH MNEMONIC IS INDIVIDUALLY LISTED.

TABLE I – INSTRUCTION SUMMARY (CONT'D)

INSTRUCTION	MNEMONIC	OP CODE	OPERATION
INPUT-OUTPUT BYTE TRANSFER			
OUTPUT 1	OUT 1	61	M(R(X))+BUS; R(X) +1; N LINES = 1
OUTPUT 2	OUT 2	62	M(R(X))+BUS; R(X) +1; N LINES = 2
OUTPUT 3	OUT 3	63	M(R(X))+BUS; R(X) +1; N LINES = 3
OUTPUT 4	OUT 4	64	M(R(X))+BUS; R(X) +1; N LINES = 4
OUTPUT 5	OUT 5	65	M(R(X))+BUS; R(X) +1; N LINES = 5
OUTPUT 6	OUT 6	66	M(R(X))+BUS; R(X) +1; N LINES = 6
OUTPUT 7	OUT 7	67	M(R(X))+BUS; R(X) +1; N LINES = 7
INPUT 1	INP 1	69	BUS-M(R(X)); BUS-D; N LINES = 1
INPUT 2	INP 2	6A	BUS-M(R(X)); BUS-D; N LINES = 2
INPUT 3	INP 3	6B	BUS-M(R(X)); BUS-D; N LINES = 3
INPUT 4	INP 4	6C	BUS-M(R(X)); BUS-D; N LINES = 4
INPUT 5	INP 5	6D	BUS-M(R(X)); BUS-D; N LINES = 5
INPUT 6	INP 6	6E	BUS-M(R(X)); BUS-D; N LINES = 6
INPUT 7	INP 7	6F	BUS-M(R(X)); BUS-D; N LINES = 7

- Long-Branch, Long-Skip and No Op instructions are the only instructions that require three cycles to complete (1 fetch + 2 execute).

Long-Branch instructions are three bytes long. The first byte specifies the condition to be tested; and the second and third byte, the branching address.

The long-branch instructions can:

 - Branch unconditionally
 - Test for D=0 or D≠0
 - Test for DF=0 or DF=1
 - Test for Q=0 or Q=1
 - effect an unconditional no branch

If the tested condition is met, then branching takes place; the branching address bytes are loaded in the high-and-low-order bytes of the current program counter, respectively. This operation effects a branch to any memory location.

If the tested condition is not met, the branching address bytes are skipped over, and the next instruction in sequence is fetched and executed. This operation is taken for the case of unconditional no branch (NLBR).
- The short-branch instructions are two bytes long. The first byte specifies the condition to be tested, and the second specifies the branching address.

The short-branch instructions can:

 - Branch unconditionally
 - Test for D=0 or D≠0
 - Test for DF=0 or DF=1
 - Test for Q=0 or Q=1
 - Test the status (1 or 0) of the four EF flags
 - Effect an unconditional no branch

If the tested condition is met, then branching takes place; the branching address byte is loaded into the low-order byte position of the current program counter. This effects a branch with the current 256-byte page of the memory, i.e., the page which holds the branching address. If the tested condition is not met, the branching address byte is skipped over, and the next instruction in sequence is fetched and executed. This same action is taken in the case of unconditional no branch (NBR)
- The skip instructions are one byte long. There is one Unconditional Short-Skip (SKP) and eight Long-Skip instructions.

The Unconditional Short-Skip instruction takes 2 cycles to complete (1 fetch + 1 execute). Its action is to skip over the byte following it. Then the next instruction in sequence is fetched and executed. This SKP instruction is identical to the unconditional no-branch instruction (NBR) except that the skipped-over byte is not considered part of the program.

The Long-Skip instructions take three cycles to complete (1 fetch + 2 execute). They can:

 - Skip unconditionally
 - Test for D=0 or D≠0
 - Test for DF=0 or DF=1
 - Test for Q=0 or Q=1
 - Test for IE=1

If the tested condition is met, then Long Skip takes place; the current program counter is incremented twice. Thus two bytes are skipped over and the next instruction in sequence is fetched and executed. If the tested condition is not met, then no action is taken. Execution is continued by fetching the next instruction in sequence.



Microprocessor Products

CDP1802D
CDP1802CD

Preliminary Data

COSMAC Microprocessor



40-Lead Dual-In-Line Ceramic Package (D)

CDP1802D H-1847
CDP1802CD

Features:

- Instruction fetch-execute time of 2.5 or 3.75 μ s at $V_{DD} = 10$ V; 5.0 or 7.5 μ s at $V_{DD} = 5$ V
- Static silicon-gate CMOS circuitry — no minimum clock frequency
- Full military temperature range (-55 to +125°C)
- High noise immunity, wide operating-voltage range
- Single voltage supply
- Single-phase clock; optional on-chip crystal-controlled oscillator
- Simple control of reset, run, and pause
- 8-bit parallel organization with bidirectional data bus
- Any combination of standard RAM and ROM
- Memory addressing up to 65,536 bytes
- Flexible programmed I/O mode
- Program interrupt mode
- Four I/O flag inputs directly tested by branch instructions
- Programmable output port
- 91 easy-to-use instructions
- 16 x 16 matrix of registers for use as multiple program counters, data pointers, or data registers

The RCA-CDP1802 is an LSI COS/MOS 8-bit register-oriented central-processing unit (CPU) designed for use as a general-purpose computing or control element in a wide range of stored-program systems or products.

The CDP1802 includes all of the circuits required for fetching, interpreting, and executing instructions which have been stored in standard types of memories. Extensive input/output (I/O) control features are also provided to facilitate system design.

The COSMAC architecture is designed with emphasis on the total microcomputer system as an integral entity so that systems having maximum flexibility and minimum cost can be realized. The COSMAC CPU also provides a synchronous interface to memories and external controllers for I/O devices, and minimizes the cost of interface

controllers. Further, the I/O interface is capable of supporting devices operating in polled, interrupt-driven, or direct memory-access modes.

The CDP1802D and CDP1802CD are functionally identical. They differ in that the CDP1802D has a recommended operating voltage range of 4-12 volts, and the CDP1802CD, a recommended operating voltage range of 4-6 volts. These types are supplied in 40-lead dual-in-line ceramic packages (D suffix).

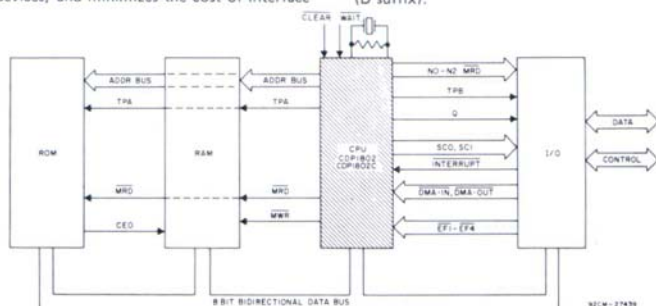


Fig. 1 — Typical CDP1802 microprocessor system.

The Preliminary Data are intended for guidance purposes in evaluating the device for equipment design. The device is now being designed for inclusion in our standard line of commercially available products. For current information on the status of this program, please contact your RCA Sales Office.

Information furnished by RCA is believed to be accurate and reliable. However, no responsibility is assumed by RCA for its use, nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of RCA.

Printed in USA/8-77

Trademark(s) Registered
Marca(s) Registrada(s)

Supersedes preliminary data issued 2/76

CDP1802D, CDP1802CD COSMAC Microprocessor

MAXIMUM RATINGS, Absolute-Maximum Values:

DC SUPPLY-VOLTAGE RANGE, (V_{CC} , V_{DD})
 (All voltage values referenced to V_{SS} terminal)
 $V_{CC} < V_{DD}$
 CDP1802D -0.5 to +15 V
 CDP1802CD -0.5 to +7 V
 INPUT VOLTAGE RANGE, ALL INPUTS -0.5 to V_{DD} +0.5 V
 DC INPUT CURRENT, ANY ONE INPUT ± 10 mA
 POWER DISSIPATION PER PACKAGE (P_D):
 For $T_A = -55$ to $+100^\circ\text{C}$ 500 mW
 For $T_A = +100$ to $+125^\circ\text{C}$ Derate Linearly at 12 mW/ $^\circ\text{C}$ to 200 mW
 DEVICE DISSIPATION PER OUTPUT TRANSISTOR
 FOR $T_A =$ FULL PACKAGE-TEMPERATURE RANGE 100 mW
 OPERATING-TEMPERATURE RANGE (T_A) -55 to $+125^\circ\text{C}$
 STORAGE TEMPERATURE RANGE (T_{stg}) -65 to $+150^\circ\text{C}$
 LEAD TEMPERATURE (DURING SOLDERING):
 At distance 1/16 \pm 1/32 inch (1.59 \pm 0.79 mm) from case for 10 s max. $+265^\circ\text{C}$

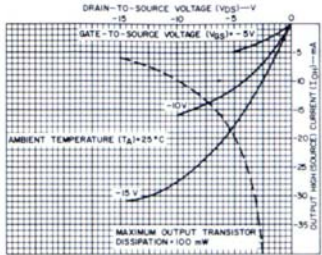
CHARACTER- ISTIC	CONDITIONS			LIMITS AT INDICATED TEMPERATURES ($^\circ\text{C}$)							UNITS
	V_O (V)	V_{IN} (V)	V_{CC} , V_{DD} (V)	VALUES				+25			
				-55	-40	+85	+125	Min.	Typ.	Max.	
Quiescent Device Current, I_L Max.	-	-	5	-	-	-	-	-	1	100	μA
CDP1802D	-	-	15	-	-	-	-	-	-	1000	
CDP1802CD	-	-	5	-	-	-	-	-	-	500	
Output Low Drive (Sink) Current, I_{OL} Min. (Except XTAL)	0.4	0.5	5	1.98	1.89	1.14	0.90	1.5	2.2	-	
XTAL Output I_{OL} Min.	0.4	5	5	132	126	76	60	100	-	-	μA
Output High Drive (Source Current) I_{OH} Min. (Except XTAL)	4.6	0.5	5	-0.46	-0.44	-0.27	-0.21	-0.35	-0.51	-	mA
XTAL Output I_{OH} Min.	4.6	0	5	-66	-63	-38	-30	-50	-	-	
Output Voltage Low-Level V_{OL} Max.	-	0.5	5	0.05				-	0	0.05	V
V_{OL} Max.	-	0.10	10	0.05				-	0	0.05	
Output Voltage High Level, V_{OH} Min.	-	0.5	5	4.95				4.95	5	-	V
V_{OH} Min.	-	0.10	10	9.95				9.95	10	-	
Input Low Voltage V_{IL} Max.	0.5, 4.5	-	5	1.5				-	-	1.5	V
V_{IL} Max.	0.5, 4.5	-	5, 10	1				-	-	1	
V_{IL} Max.	1.9	-	10	3				-	-	3	
Input High Voltage V_{IH} Min.	0.5, 4.5	-	5	3.5				3.5	-	-	V
V_{IH} Min.	0.5, 4.5	-	5, 10	4				4	-	-	
V_{IH} Min.	1.9	-	10	7				7	-	-	
Input Leakage Current I_{IN} Max.	Any Input	0.15	15	± 1				-	-	± 1	μA
3-State Output Leakage Current I_{OUT} Max.	0.15	0.15	15	± 1	± 1	± 12	± 12	-	$\pm 10^{-4}$	± 1	μA

RECOMMENDED OPERATING CONDITIONS at $T_A = 25^\circ\text{C}$ Unless Otherwise Specified
 For maximum reliability, nominal operating conditions should be selected
 so that operation is always within the following ranges:

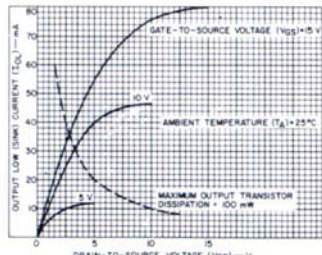
CHARACTERISTIC	CONDITIONS		LIMITS AT 25°C		UNITS
	V _{CC} ¹ (V)	V _{DD} (V)	CDP1802D	CDP1802CD	
Supply Voltage Range	—	—	4 to 12	4 to 6	V
Input Voltage Range	—	—	V _{SS} to V _{CC}	V _{SS} to V _{CC}	V
Maximum Clock Input Rise or Fall Time, t _r or t _f	4–12	4–12	1	1	μs
Instruction Time ² (See Fig. 8)	5	5	5	5	μs
	5	10	4	—	
	10	10	2.5	—	
Maximum DMA Transfer Rate	5	5	400	400	KBytes/sec
	5	10	500	—	
	10	10	800	—	
Maximum Clock Input Frequency, f _{CL} ³	5	5	DC – 3.2	DC – 3.2	MHz
	5	10	DC – 4	—	
	10	10	DC – 6.4	—	

NOTES:

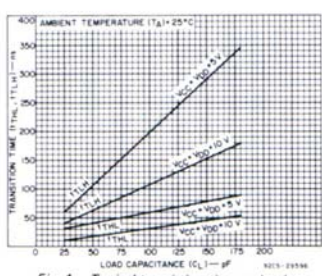
- 1: $V_{CC} \leq V_{DD}$; for CDP1802CD, $V_{DD} = V_{CC} = 5$ volts.
- 2: Equals 2 machine cycles – one Fetch and one Execute operation for all instructions except Long Branch and Long Skip, which require 3 machine cycles – one Fetch and two Execute operations.
- 3: Load Capacitance (C_L) = 50 pF.



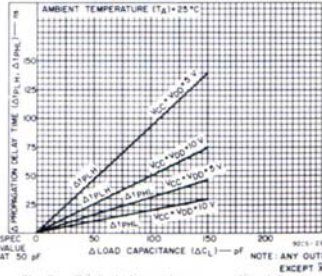
NOTE ALL OUTPUTS EXCEPT XTAL. NE11-21934
 Fig. 2 – Typical output high (source) current characteristics.



NOTE ALL OUTPUTS EXCEPT XTAL. NE11-21936
 Fig. 3 – Typical output low (sink) current characteristics.



NE11-21936
 Fig. 4 – Typical transition time vs. load capacitance.



NE11-21938
 Fig. 5 – Typical change in propagation delay as a function of a change in load capacitance.

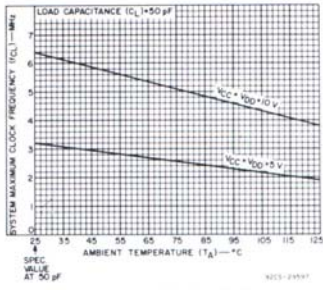


Fig. 6 - Typical maximum clock frequency as a function of temperature.

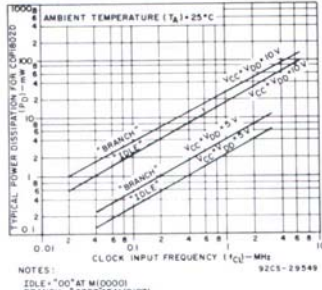


Fig. 7 - Typical power dissipation as a function of clock frequency for BRANCH instruction and IDLE instruction for CDP1802D.

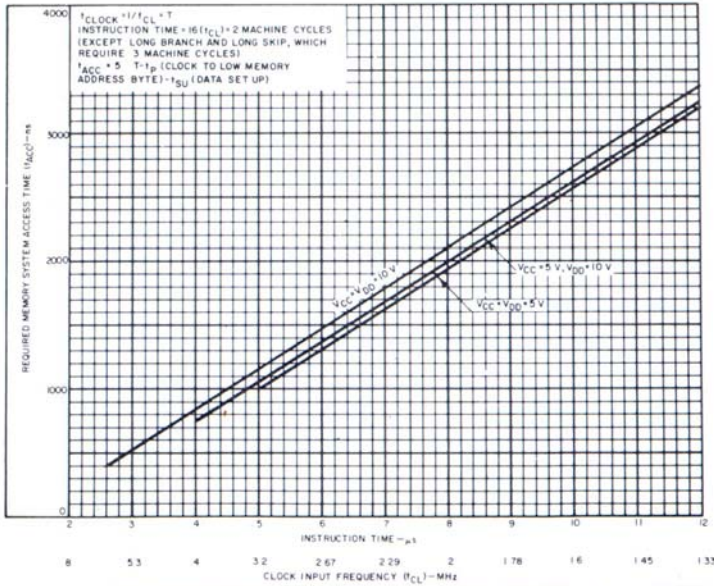


Fig. 8 - Required memory system access time as a function of instruction time.

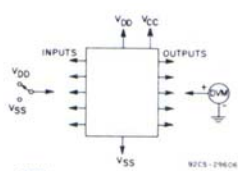


Fig. 9 - Noise immunity test circuit.

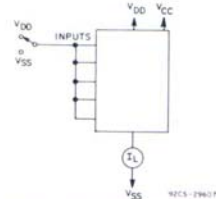


Fig. 10 - Quiescent device leakage current test circuit.

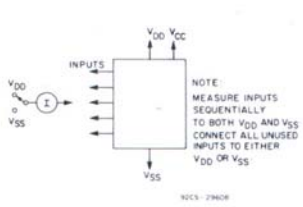


Fig. 11 - Input leakage current test circuit.

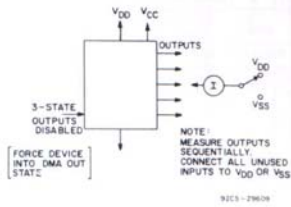
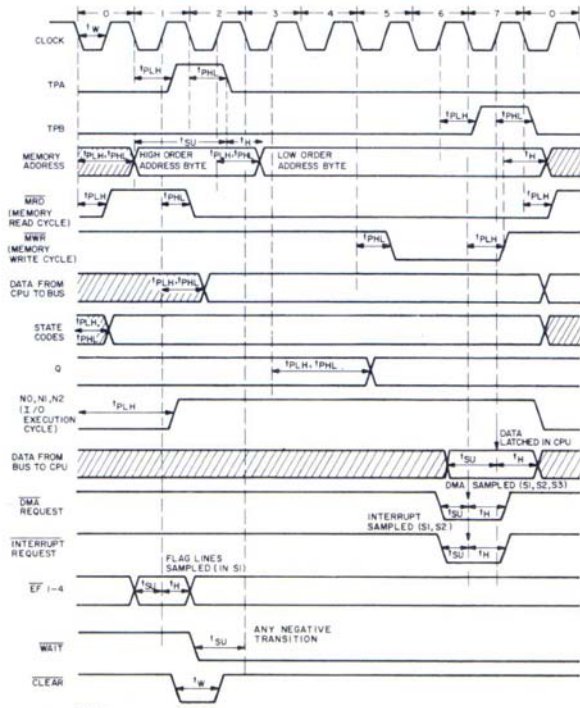


Fig. 12 - Three-state output leakage (data bus) test circuit.



NOTES:
 1. THIS TIMING DIAGRAM IS USED TO SHOW SIGNAL RELATIONSHIPS ONLY AND DOES NOT REPRESENT ANY SPECIFIC MACHINE CYCLE.
 2. ALL MEASUREMENTS ARE REFERENCED TO 50% POINT OF THE WAVEFORMS.
 3. SHADED AREAS INDICATE "DON'T CARE" OR UNDEFINED STATE; MULTIPLE TRANSITIONS MAY OCCUR DURING THIS PERIOD.

92CL-29599

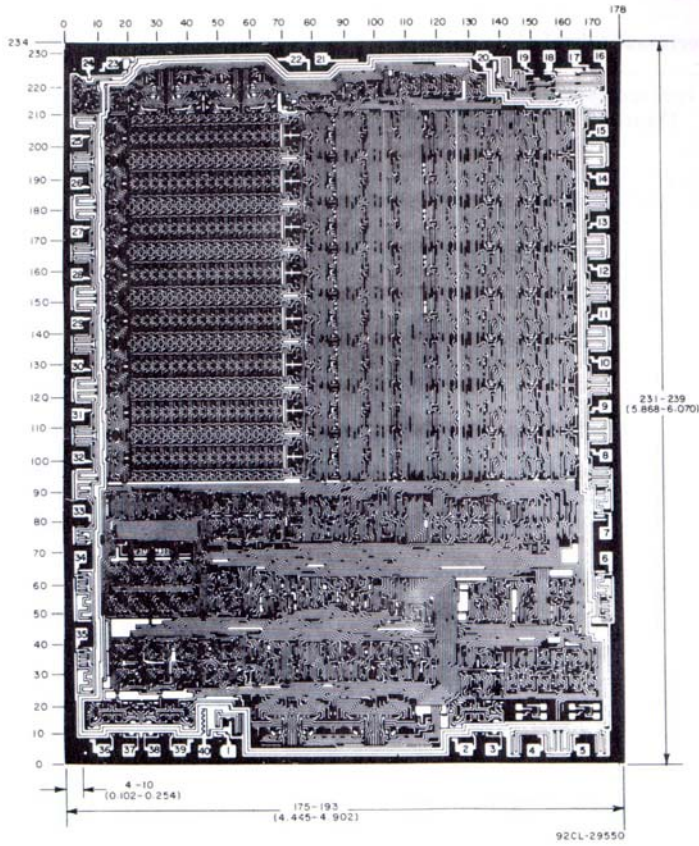
Fig. 13 - Timing waveforms.

TABLE II. CONDITIONS ON DATA BUS AND MEMORY ADDRESS LINES DURING ALL MACHINE STATES

STATE	I	N	MNEMONIC	INSTRUCTION	OPERATION	DATA BUS	MEMORY ADDRESS	MRD	NOTES ^G	
S1			RESET		JAM: 1,N,Q,X,P = 0 IE = 1	0	R (0) UNDEFINED	1	A	
			FIRST CYCLE AFTER RESET NOT PROGRAMMER ACCESSIBLE		INITIALIZE	0	R (0) UNDEFINED	1	B	
S0			FETCH		M(R(P)) ← I-N R(P)+1	M(R(P))	R(P)	0	C	
S1 (Ex+ cute)	0	0	IDL	IDLE	[Load = 0 (Program Idle)] [Load = 1 (Load Mode)]	M(R(0))	R (0)	0	D,3	
		N≠0	LDN	LOAD D VIA N	M(R(N)) ← D	M(R(N))	R(N)	0	3	
	1	N	INC	INCREMENT	R(N)+1	FLOAT	R(N)	1	1	
	2	N	DEC	DECREMENT	R(N) - 1	FLOAT	R(N)	1	1	
	3	N	---	SHORT BRANCH	[BRANCH NOT TAKEN] [BRANCH TAKEN]	M(R(P))	R(P)	0	3	
	4	N	LDA	LOAD ADVANCE	M(R(N)) ← D R(N)+1	M(R(N))	R(N)	0	3	
	5	N	STR	STORE VIA N	D → M(R(N))	D	R(N)	1	3	
	6	0	IRX	INC REG X	R(X)+1	M(R(X))	R(X)	0	3	
		N-1-7	OUT N	OUTPUT	M(R(X)) → BUS R(X)+1	M(R(X))	R(X)	0	6	
		N-9-F	INP N	INPUT	BUS → M(R(X)), D	I/O DEVICE	R(X)	1	5	
		0	RET	RETURN	M(R(X)) ← (X,P) R(X)+1, 1 → IE	M(R(X))	R(X)	0	3	
		1	DIS	DISABLE	M(R(X)) ← (X,P) R(X)+1, 0 → IE	M(R(X))	R(X)	0	3	
		2	LDXA	LOAD VIA X AND ADVANCE	M(R(X)) ← D P(X) - 1	M(R(X))	R(X)	0	3	
		3	STXD	STORE VIA X AND DECREMENT	D → M(R(X)) R(X) - 1	D	R(X)	1	2	
		4,5,7	-	-	ALU OPERATION	M(R(X))	R(X)	0	3	
		6	-	-	ALU OPERATION	FLOAT	R(X)	1	1	
		8	SAV	SAVE	T → M(R(X))	T	R(X)	1	2	
		9	MARK	MARK	(X,P) → T, M(R(2)) P → X, R(2) - 1	T	R(2)	1	2	
		A	REQ	RESET Q	Q = 0	FLOAT	R(P)	1	1	
		B	SEQ	SET Q	Q = 1	FLOAT	R(P)	1	1	
		C,D,F	-	-	ALU OPERATION IMMEDIATE	M(R(P))	R(P)	0	3	
		E	-	-	ALU OPERATION	FLOAT	R(X)	1	1	
		8	N	GLO	GET LOW	R(N) ← D → D	R(N) ← D	R(N)	1	1
		9	N	GHI	GET HIGH	R(N) ← 1 → D	R(N) ← 1	R(N)	1	1
		A	N	PLO	PUT LOW	D → R(N) ← D	D	R(N)	1	1
		B	N	PHI	PUT HIGH	D → R(N) ← 1	D	R(N)	1	1
		0,1,2 3,8,9 A,B	-	-	LONG BRANCH	[BRANCH NOT TAKEN] [BRANCH TAKEN]	M(R(P)) M(R(P))	R(P)	0	4
		C	5,6,7 C,D,E F	-	-	[SKIP NOT TAKEN] [SKIP TAKEN]	M(R(P)) M(R(P))	R(P)	0	4
		4	N	NOP	NO OPERATION	NO OPERATION	M(R(P))	R(P)	0	4
		D	N	SEP	SET P	N → P	N	R(N)	1	1
		E	N	SEX	SET X	N → X	N	R(N)	1	1
		0	LDX	LOAD VIA X	M(R(X)) ← D	M(R(X))	R(X)	0	3	
		1,2,3 4,5,7	-	-	ALU OPERATION	M(R(X))	R(X)	0	3	
		6	SHR	SHIFT RIGHT	SHIFT D RIGHT LSB(D) → DF, 0 → MSB(D)	FLOAT	R(X)	1	1	
		8	LDI	LOAD IMMEDIATE	M(R(P)) ← D R(P) - 1	M(R(P))	R(P)	0	3	
		9,A,B C,D,F	-	-	ALU OPERATION IMMEDIATE	M(R(P))	R(P)	0	3	
		E	SHL	SHIFT LEFT	ALU OPERATION	FLOAT	R(P)	1	1	
	S2			IN REQUEST	DMA IN	BUS → M(R(0))	I/O DEVICE	R (0)	1	F,7
				OUT REQUEST	DMA OUT	M(R(0)) → BUS	M(R(0))	R (0)	0	F,8
	S3			INTERRUPT		X,P → T, 0 → IE 2 → X, 1 → P	FLOAT	R(N)	1	9

NOTES

- A. IE = 1; TPA, TPB suppressed, state = S1
- B. BUS = 0 for entire cycle
- C. Next state always S1
- D. Wait for DMA or INTERRUPT
- E. Suppress TPA, wait for DMA
- F. IN REQUEST has priority over OUT REQUEST
- G. Numbers refer to machine cycles types -- refer to timing diagrams, Figs. 16 through 20.



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch).

The photographs and dimensions of each COS/MOS chip represent a chip when it is part of the wafer. When the wafer is cut into chips, the cleavage angles are 57° instead of 90° with respect to the face of the chip. Therefore, the isolated chip is actually 7 mils (0.17 mm) larger in both dimensions.

Dimensions and pad layout for CDP1802

Bijlage C

Hexadecimaal talstelsel

Lange reeksen binaire getallen geven gemakkelijk aanleiding tot vergissingen. Daarom worden ze in groepjes van steeds 4 bits verdeeld (nibble).

Elk groepje stelt een getal voor van 0 t/m 15; een hexadecimaal getal. Voor de getallen boven de negen bestaat echter geen symbool. Daarom heeft men daarvoor de eerste letters van het alfabet genomen.

Een byte kan worden opgeschreven als 2 hexadecimale getallen. Voorbeelden:

1011	1100	0111	1111
<u> </u>	<u> </u>	<u> </u>	<u> </u>
B	C	7	F

Een adres dat uit 16 bits bestaat vereist 4 hexadecimale getallen.

De "truc" met de hexadecimale getallen is mogelijk omdat het grondtal van het hexadecimale stelsel een macht van 2 is ($16 = 2^4$).

Groepjes van 3 bits zou men kunnen noteren d.m.v. een getal in het 8-tallige stelsel.

Behalve door Heathkit wordt dit echter door vrijwel niemand gedaan.

Binair getal	Hexadecimale voorstelling
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	A
1011	B
1100	C
1101	D
1110	E
1111	F

Bijlage D

ASCII-code

Binair	Hex	Contr.	Toets	Betekenis
0000000	00		"NUL"	karakter
0000001	01	A		
0000010	02	B		
0000011	03	C		
0000100	04	D		
0000101	05	E		
0000110	06	F		
0000111	07	G	Bell -	Luidt de bel
0001000	08	H	BS -	Back Space
0001001	09	I		
0001010	0A	J	LF -	Line Feed
0001011	0B	K		
0001100	0C	L	FF -	Form Feed
0001101	0D	M	CR -	Carriage Return
0001110	0E	N		
0001111	0F	O		
0010000	10	P		
0010001	11	Q		
0010010	12	R		
0010011	13	S		
0010100	14	T		
0010101	15	U		
0010110	16	V		
0010111	17	W		
0011000	18	X	CAN -	Cancel
0011001	19	Y		
0011010	1A	Z		
0011011	1B		ESC -	Escape
0011100	1C			
0011101	1D			
0011110	1E			
0011111	1F			
0100000	20		SP -	Spatie
0100001	21		!	Uitroepteken
0100010	22		"	Aanhalingsteken
0100011	23		#	Getaltekens
0100100	24		\$	Dollar
0100101	25		%	Procent
0100110	26		&	Engelse "en"
0100111	27		'	Apostrof

Bijlage D

Binair	Hex	Toets	Betekenis
0101000	28	(- Linker haak; rond
0101001	29)	- Rechter haak; rond
0101010	2A	*	- Asterix
0101011	2B	+	- Plusteken
0101100	2C	,	- Komma
0101101	2D	-	- Minteken (koppelteken)
0101110	2E	.	- Punt
0101111	2F	/	- Schrap
0110000	30	0	
0110001	31	1	
0110010	32	2	
0110011	33	3	
0110100	34	4	
0110101	35	5	
0110110	36	6	
0110111	37	7	
0111000	38	8	
0111001	39	9	
0111010	3A	:	- Dubbele punt
0111011	3B	;	- Punt-komma
0111100	3C	<	- Kleiner dan
0111101	3D	=	- Gelijk teken
0111110	3E	>	- Groter dan
0111111	3F	?	- Vraagteken
1000000	40	@	- "at" (plaatsaanduiding)
1000001	41	A	
1000010	42	B	
1000011	43	C	
1000100	44	D	
1000101	45	E	
1000110	46	F	
1000111	47	G	
1001000	48	H	
1001001	49	I	
1001010	4A	J	
1001011	4B	K	
1001100	4C	L	
1001101	4D	M	
1001110	4E	N	

Bijlage D

Binair	Hex	Toets	Betekenis
1001111	4F	O	
1010000	50	P	
1010001	51	Q	
1010010	52	R	
1010011	53	S	
1010100	54	T	
1010101	55	U	
1010110	56	V	
1010111	57	W	
1011000	58	X	
1011001	59	Y	
1011010	5A	Z	
1011011	5B	[- Linkerhaak; recht
1011100	5C	\	
1011101	5D]	- Rechterhaak; recht
1011110	5E	-	- Onderstreping
1011111	5F	-	
1100000	60		
1100001	61	a	
1100010	62	b	
1100011	63	c	
1100100	64	d	
1100101	65	e	
1100101	65	e	
1100110	66	f	
1100111	67	g	
1101000	68	h	
1101001	69	i	
1101010	6A	j	
1101011	6B	k	
1101100	6C	l	
1101101	6D	m	
1101110	6E	n	
1101111	6F	o	
1110000	70	p	
1110001	71	q	
1110010	72	r	
1110011	73	s	
1110100	74	t	
1110101	75	u	
1110110	76	v	
1110111	77	w	

Bijlage D

Binair	Hex	Toets	Betekenis
1111000	78	x	
1111001	79	y	
1111010	7A	z	
1111011	7B	{	- Accolade; links
1111100	7C	}	
1111101	7D	}	- Accolade; rechts
1111110	7E	≈	
1111111	7F	DEL	- Delete (verwijder)

Bijlage E

Cassette Loader voor ELF II programma's

Dit programma maakt het mogelijk cassette tapes te lezen die zijn opgenomen volgens het ELF II formaat. Hierdoor kunnen Cosmicos en ELF II bezitters programma's uitwisselen zonder de listings in te hoeven tikken.

Een cassette read programma in Cosmicos formaat is te vinden in Hfdst. 15.

Het ELF II formaat is aanmerkelijk kritischer dan het Cosmicos formaat. Dat komt omdat bij het ELF II formaat de bittijd over een halve periode wordt gemeten. Bij Cosmicos over een hele periode. Als men over een halve periode meet is het noodzakelijk dat het nul-niveau symmetrisch ligt m.a.w. de positieve en negatieve periode helft moeten even lang zijn. Gaat men echter uit van een hele periode dan speelt het nulniveau geen rol meer.

In de meeste gevallen zal het ELF II readprogramma goed werken mits de cassette interface van Cosmicos wordt gebruikt. In een enkel geval zal de vertragingconstante veranderd moeten worden. De vertragingconstante bepaalt waar het kantelpunt voor '0' en '1' bitjes ligt.

Het ELF II readprogramma is page relocatable. Het dient te starten met R0 als programmateller en X-register.

Als op de adressen 0 t/m 2 een long branch naar het readprogramma wordt gezet, kan vanuit de hex-monitor worden gestart door op 'C' te drukken.

Vervolgens wordt op de input binair de hoge byte van het startadres ingetikt. Door op enter te drukken verschijnt dit op het basis display. Op dezelfde wijze voert men de lage byte van het startadres in en de hoge en lage byte van het eindadres.

De tape wordt gestart en tijdens de leader drukt men op enter. Het laden van het programma wordt aangegeven door de snel wisselende basis display's.

Bij een tape error stopt het laden en gaat de Q-LED branden. Als senselijn wordt EF 2 gebruikt.

De delay constante bevindt zich op M 0057; de huidige waarde is OB Met dit programma kunnen b.v. de Netronics Tiny Basic en disassembler cassettes worden geladen.

00	71		Disable	2→X
1	20			
2	90	GHI	R0	Initialiseer:
3	B2	PHI	R2	Workspace: R2
4	B4	PHI	R4	input: R4
5	B7	PHI	R7	Bitsub: R7
6	F8	LDI		

7	66		
8	A2	PLO	R2
9	F8	LDI	
A	4B		
B	A4	PLO	R4
C	F8	LDI	
D	56		
E	A7	PLO	R7
F	D4	Gosub	R4
10	BA	PHI	RA
1	D4	Gosub	R4
2	AA	PLO	RA
3	D4	Gosub	R4
4	73	STXD	
5	D4	Gosub	R4
6	8A	GLO	RA
7	F5	SD	
8	AC	PLO	RC
9	12	INC	R2
A	9A	GHI	RA
B	75	SDBI	
C	FC	ADI	
D	01		
E	BC	PHI	RC
F	3F	BN4	
20	1F		
1	F8	LDI	
2	F9		
3	BD	PHI	RD
4	D7	Gosub	R7
5	3B	BNF	
6	21		
7	9D	GHI	RD
8	3A	BNZ	
9	24		
A	D7	Gosub	R7
B	33	BDF	
C	2A		
D	F8	LDI	
E	01		
F	BD	PHI	RD
30	AD	PLO	RD
1	D7	Gosub	R7
2	9D	GHI	RD
3	7E	SHLC	
4	BD	PHI	RD

Pak
startadres
eindadres

RA = start
RC = aantal + 100_H

Wacht op Enter!

Load delay
en wacht
op startbit

delay = 0?

by pass
startbit

Get
byte

5	3B	BNF		
6	31			
7	D7	Gosub	R7	check
8	8D	GLO	RD	parity
9	F6	SHR		
A	C7	LSNF		
B	7B	SEQ		error
C	00	IDL		
D	9D	GHI	RD	store byte
E	5A	STR	RA	
F	8A	GLO	RA	
40	22	DEC	R2	show
1	52	STR	R2	address
2	67	OUT 7		
3	1A	INC	RA	adres + 1
4	2C	DEC	RC	aantal - 1
5	9C	GHI	RC	
6	3A	BNZ		aantal = 0?
7	2A			nee
8	30	BR		
9	00			
A	D0	RET		input
→B	3F	BN4		
C	4B			
D	37	B4		
E	4D			
F	6F	INP 7		
50	67	OUT 7		
1	22	DEC	R2	
2	30	BR		
3	4A			
4	ID	INC	RD	bitsub
5	D0	RET		
→6	F8	LDI		
7	0B			
8	35	B2		
9	58			
A	35	B2		
B	54			
C	FF	SMI		
D	01			
E	33	BDF		
F	5A			
60	3D	BN 2		
1	60			
2	30	BR		

3 55
4 00
5 00
6 00

Workspace

Cassette Read programma volgens ELFII formaat.

```
?D 0 66  
0000 7120 90B2 B4B7 F866 A2F8 4BA4 F856 A7D4;  
0010 BAD4 AAD4 73D4 8AF5 AC12 9A75 FC01 BC3F;  
0020 1FF8 F98D D73B 219D 3A24 D733 2AF8 01BD;  
0030 ADD7 9D7E BD3B 31D7 8DF6 C77B 009D 5A8A;  
0040 2252 671A 2C9C 3A2A 3000 D03F 4B37 4D6F;  
0050 6722 304A 1DD0 F80B 3558 3554 FF01 335A;  
0060 3D60 3055 0000 00
```

Hexdump van de ELFII cassette reader.

Documentatie, Interessante programma's, Printen

Behalve Cosmicos zijn er andere op de 1802 gebaseerde computersystemen. Om er een paar te noemen:

- 1e) RCA Cosmac VIP (RCA, Sommerville, USA).
- 2e) Super ELF (Quest Electronics, Santa Clara, USA).
- 3e) ELF II (Netronics Research & Development, New Milford, USA).
- 4e) Telmac (Skandinavië?).
- 5e) TEC (Tekatch, Canada).

De ELF II is in Nederland verkrijgbaar bij de fa. First Ludonics in Alphen aan de Rijn. Deze firma verkoopt trouwens meer produkten van Netronics R & D zoals videoboard en een ASCII keyboard die in de Cosmicos-opzet passen.

De Super ELF van Quest wordt vertegenwoordigd door Compuproducts, Dordrecht.

Het totaal aantal 1802 gebruikers in Nederland is nu al heel respectabel en groeit snel. Begrijpelijk omdat de instructie-set van de 1802 overzichtelijk is en bijzonder veel mogelijkheden biedt.

Belangrijk is dat alle 1802 gebruikers onderling van elkaars ervaringen kunnen profiteren en dat ook de software uitwisselbaar is. In project Cosmicos is daarom geprobeerd alle kennis en ervaring op zodanige wijze te bundelen dat compatibiliteit is verkregen met o.a. de Super ELF, de ELF II, de Cosmac VIP en het Cosmac Evaluations system. Nageenog alle beschikbare software kan daardoor op het Cosmicos systeem draaien.

Aan de andere kant kunnen ook bezitters van andere 1802 systemen hun voordeel doen met project Cosmicos.

Project Cosmicos voorziet n.l. in een z.g. backplane (of busprint). Deze backplane is zeer eenvoudig op b.v. de Super ELF of de ELF II aan te sluiten. De backplane bevat een 5-tal 39-polige connectors (zie ook Hfdst. 5), waarin de diverse uitbreidingsprinten kunnen worden gestoken Beschikbaar zijn:

- 1e) Parallel in/out met D/A en A/D converter.
- 2e) Display kaart met 8 software gestuurde 7-segment display's.
- 3e) 4 K RAM kaart met adrescodering (8×2114 L).
- 4e) 4 K RAM EPROM kaart met adrescodering (2×2716).

Een programmeerbare interfacekaart met de 8255; een videokaart met de CDP 1864 en een dynamische RAM kaart zijn in voorbereiding.

Clubs

Een van de meest essentiële zaken voor een microcomputergebruiker is informatie. De eenvoudigste manier om geïnformeerd te worden is lid te

worden van een 1802 gebruikersclub. De clubs geven een clubblad uit waarop men zich kan abonneren en waarnaar men zelf ook bijdragen kan sturen.

- 1) 1802 Bulletin, contactpersoon: dhr. Paul Stive, Essenburg 21, 3328 CB Dordrecht.
- 2) ELF II Newsletter (Redactie Tom Pittman), 333 Litchfield Road, New Milford, Connecticut 0677 6, USA.
- 3) IPSO FACTO (Redactie Bernie Murphy), 102 Mc Crany Street, Oakville, Ontario, Canada L6H 1 H6.

In ieder geval is het iedere 1802 gebruiker aan te raden lid te worden van het 1802 Bulletin.

IpsO Facto is echter zonder enige twijfel de grootste en meest actieve vereniging. Hun clubblad bevat vaak waardevolle en goede suggesties. Als men de Engelse taal machtig is, is het het overwegen waard lid te worden.

Algemene bladen waarin men artikelen over de 1802 vindt zijn:

- 1e) **Radio Bulletin**
Uitgeverij de Muiderkring b.v., Postbus 10, 1400 AA Bussum.
- 2e) **Kilobaud Microcomputing**
Subscription Department, P.O. Box 997, Farmingdale NY, 11737 USA.
- 3e) **Byte Magazine**
Subscription Department, P.O. Box 590, Martinsville, NJ 08836, USA.

Door RCA uitgegeven publicaties die voor 1802 gebruikers van belang zijn:

- 1e) MPM-201 A: User Manual for the CDP 1801 Cosmac Microprocessor.
Hierin vindt men een uitvoerige uitleg van alle instructies, timing, diagrammen enz.
- 2e) MPM-224: Instruction Manual for the RCA Cosmac Evolution Kit CDP 18 S 020 and the EK/Assembler-Editor Design Kit CDP 18 S 924.
Dit handboek bevat een complete uitleg + source listing van Utility 4 en een uitstekende beschrijving van de RCA Tiny Basic en - waardevolst van alles - de Listing van deze Tiny Basic.
- 3e) MPM-206 A: Fixed-Point Binary Arithmetic Subroutines voor RCA Cosmac Microprocessors.
Verklaring + sourcecode van 16 bits rekenroutines.
- 4e) VIP-311: RCA Cosmac VIP CDP 18 S 711.
Instruction Manual.
Hierin is een uitleg van de CHIP-8 interpreter opgenomen + de listing en 20 spelen in CHIP -8.

- 5e) BMP-801: Application Notes Reprint for the CDP 1802 Microprocessor.
- 6e) BMP-802: Design Ideas Book for the CDP 1802 COSMAC Microprocessor.
Distributeur van RCA is de firma Inelco, Turfstekerstraat 63, 1431 GD Aalsmeer.

Interessante programma's

- 1e) Tiny Basic
Twee versies die zonder problemen op de Cosmicos kunnen draaien zijn de RCA Tiny Basic en de Netronics Tiny Basic. Auteur van deze Tiny Basics is Tom Pittman.
- 2e) Pilot
Pilot is een programmeertaal ontworpen voor computeraided instructie.
In Kilobaud juli 1979 is een versie opgenomen die direct op Cosmicos kan draaien. De auteur is R. W. Petty.
- 3e) Assembler/Editor
In IPSO FACTO Nr. 12 is een AS/ED programma opgenomen. Uitleg + Listing. Auteur is G. E. Millar.
Let op: in de IPSO FACTO's Nr. 13 (blz. 26) en Nr. 14 (blz. 26) zijn enige correcties en aanvullingen opgenomen.
Sluit deze ASSEMBLER/EDITOR op de volgende adressen in de Cosmicos Hex monitor aan: OUTCH = C7A3, INCH = C7B4. Dit zijn extra subroutines die aansluiten op de UT 4 Read en Type routines maar onderweg R(F)0 en R(D)0 redden en herstellen.
- 4e) Disassembler/Textfinder. Auteur H. B. Stuurman.
Informatie over deze programma's is verkrijgbaar bij de Muiderkring b.v., Postbus 10, 1400 AA Bussum.
Postzegel voor antwoord bijsluiten.
- 5e) Universele ASCII-monitor (2K). Deze uiterst flexibele monitor is bestemd voor hen die met een terminal werken. Een software UAR/T met automatische baudrate instelling is opgenomen.
Opmerkelijk is verder dat zowel met ASCII als in Hex kan worden gewerkt. Onder de vele commando's o.a. cassette "Save" en Load met label. Voor informatie: zie 4.
- 6e) EPROM programmer voor 2716.
In Radio Bulletin december 1980 is een interessant EPROM programmeer apparaat beschreven door Dhr. Van de Peijl. Een bijbehorend programma voor de 1802 is beschreven in Radio Bulletin maart 1981.
- 7e) Full Basic voor de 1802 is verkrijgbaar bij Quest Electronics; 2322 Walsh Ave. Santa Clara, California 95051, USA.
- 8e) 1802 fig. FORTH software for small computers, P.O. Box 8403 Austin, Texas 78712, USA.

Printen voor Cosmicos

Voor project Cosmicos zijn de volgende printen verkrijgbaar:

Hfdst. 5

7483	mainboard	
7497	busconnectorprint	
7505	hulpprint voor kristal of spoel display-conversie	set f 62,50
7510		

Hfdst. 12

7506	Interface (par. in/out, DA/AD)	f 30,—
7507	Hex keyboard	f 16,90

Hfdst. 13

7515	4 K RAM kaart (8 × 2114 L)	f 30,—
------	----------------------------	--------

Hfdst. 14

7508	display interface kaart	f 30,—
7518	universele display montage print	f 18,50

Hfdst. 16

7516	4 K EPROM kaart (2 × 2716)	f 30,—
7504	busprint voor 5 connectors	f 30,—

Alle dubbelzijdige printen zijn doorgemetalliseerd en voorzien van een lood/tin laag.

Connectorvlakjes zijn vernikkeld en verguld.

Montage is eenvoudig en recht door zee.

Printen zijn verkrijgbaar bij de Muiderkring b.v., Postbus 10, 1400 AA Bussum, tel. 02159-31851.

Prijzen onder voorbehoud en excl. porto.

Een copie van de instructieset voor de 1802 op handig A4 formaat is bij de Muiderkring verkrijgbaar door bij de aanvraag f 2,50 aan postzegels in te sluiten.

Operating system in EPROM

De mogelijkheid bestaat een EPROM 2716 te laden met het Hex operating system of de universele ASCII monitor. Schrijf voor informatie naar de Muiderkring b.v., Postbus 10, 1400 AA Bussum. S.v.p. antwoordporto bijsluiten.

Trefwoordenlijst

Aansluiting van de 1802	35
Acoustische feedback	168
Adressering	33
ALU	31
Architectuur	30
A-register	31
Autostart monitor	190
Baudrate	202
Bidirectioneel	24
Bit	16
Bittijd	202
Blokselectie 4 K EPROM kaart	194
Blokselectie 4 K RAM kaart	163
Bootstrap loader	168, 179
Bootstrap programma	39
Branch	19
Breekpunt	191
Byte	16
Byte immediate	105
Carry (overdracht)	107
Cassette interface	168
Central Processing Unit	22
Clear	38
Clock oscillator	56
Code conversie	117, 121
2-complement	107
Conditioneel	20
Controlekarakters	204
Control interface	22
Copiëren	25
C.P.U.	22
D, dataregister	31
Data retention	54
Delete	203
Dendereffect	47, 87
DF (Dataflag)	31, 91, 108
Display refresh	180, 183
DMA-in	46
DMA-pointer	46
DMA-uit	46
Duplex	204

EPROM	185
Execute	32
External Flags (EF)	36
Fetch	32
Firmware	28
Functie toestanden	42
Halfduplex	204
Hardware	28
Hexadecimaal	14
Hexadecimale notatie	17
IE flipflop (Interrupt Enable)	32, 129
Immediate byte	78, 129
Initialiseren	83
Inline data	141
Input instructie	82
Input timing	52
Instructies	32
Instructie Interpreter register	32
Interrupt	130
Interrupt aanvraag	130
Interrupt response cyclus	130
Jump	19
Kansas City Standaard	168
Keyboard, hexadecimaal	152
Laddernetwerk	147
LIFO (Last in first out)	34
Load	38, 39
Logische instructies	105
Long Branch	33
Loop	76
Lijnstroom	193, 202
Machine cyclussen	34
Machinetaal	20
MARK subroutinetechniek	127
Memory disable	55, 73
Memory map	189
Memory protect	55, 73
Micro-instructies	32
Mnemonics	21

Nesten	127
Nibble	16
N-lijnen	36
Nulkarakter	204
Onmiddellijke adressering (immediate)	105
Opcode	20
Operand	78
Output instructie	82
Output timing	50
Overdracht	107
Page relocatable	141
Pagina (page)	33
Pause	38
Programmateller	33
Q-LED	75
Qwerty-opstelling	197
RAM	28
Real time	61
Registeradressering	33
Register indirecte adressering	105
Register save eigenschap	191
Rekenkundige instructies	107
Relocatable	141
Reset	38
Reset conditie	130
Retouradres	109
ROM	28
Schaduwadressen	160
Schuifinstructies	91
SCRT techniek (standaard Call en Return)	140
SEP registertechniek	109
Short Branch	33
Single step	44
Skip	33
Software	28
Spiegeladressen	160
Sprong	19
Stack	34, 89
Stackadressering	34, 103
Stackpointer	89, 103
State 0	34, 37

State 1	34, 37
State 2	37
State 3	37
Stored program	22
Stroomdiagram	75
Subroutines	109
Systeembesturing	22, 141
T (register)	32
Terminal	97
Timing	34
Tristate	24
UAR/T	203
Unidirectioneel	24
Universele registers	30, 89
Variabele instructie	141
Variabelen	103
Von Neumann	22
Wait	38
Woordbreedte	23
X-register	30